

电 子 科 技 大 学

UNIVERSITY OF ELECTRONIC SCIENCE AND TECHNOLOGY OF CHINA

# 硕士学位论文

MASTER DISSERTATION

论 文 题 目： SDH 传输设备时钟板中

锁相跟踪功能的设计与实现

学 科 专 业： 电路与系统

指 导 教 师： 唐普英 副教授

作 者 姓 名： 郝培育

班 学 号： 200420503020

分类号\_\_\_\_\_ 密级\_\_\_\_\_

UDC\_\_\_\_\_

# 学 位 论 文

## SDH 传输设备时钟板中 锁相跟踪功能的设计与实现

(题名和副题名)

郝 培 育

(作者姓名)

指导教师姓名 唐 普 英 副教授，博士

电子科技大学光电信息学院

(职务、职称、学位、单位名称及地址)

申请学位级别 硕 士 专业名称 电路与系统

论文提交日期 2007. 4 论文答辩日期 2007. 5

学位授予单位和日期 电子科技大学

答辩委员会主席\_\_\_\_\_

评阅人\_\_\_\_\_

2007 年 5 月 30 日

注 1 注明《国际十进分类法 UDC》的类

## 独 创 性 声 明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得电子科技大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

签名：\_\_\_\_\_ 日期：\_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日

## 关于论文使用授权的说明

本学位论文作者完全了解电子科技大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权电子科技大学可以将学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

（保密的学位论文在解密后应遵守此规定）

签名：

导师签名：

日期：\_\_\_\_\_ 年 \_\_\_\_\_ 月 \_\_\_\_\_ 日



## 中文摘要

同步数字体系（SDH: Synchronous Digital Hierarchy）以光纤为传输媒介，以其高速、廉价和安全等优点，正广泛应用于当今世界的传输领域，而且由于 SDH 有着世界统一的标准，加之标准的前瞻性及向后兼容性使其在相当长的时间内都会在传输领域内保持着优势。

在数字网络中，同步是数据流正确传输的基础。SDH 光传输网作为数字网络，就要求我们所开发的 SDH 设备应具有同步功能。SDH 传输设备中的时钟板正是实现网络同步功能的单板，因此它是 SDH 设备中非常核心的一块单板，它的核心模块是锁相跟踪模块。为了实现网络的同步，业界普遍采用锁相技术，因为锁相环的性能优越，尤其是数字锁相环，具有稳定、调节范围宽和调试方便等优点。

本文正是以锁相技术在 SDH 同步网中的应用展开的，本文的工作主要有三部分：理论研究、详细设计和具体实现。

在理论研究阶段，本文首先介绍了 SDH 技术的基本原理和 SDH 网络同步结构，并根据 SDH 网络中的同步结构，描述了时钟板及其锁相跟踪模块的具体功能。由于锁相跟踪模块主要由锁相环路实现，因此在 SDH 网络同步介绍的基础上，本文深入研究了锁相环的原理和特性，并对锁相环的捕获和跟踪性能进行了 Matlab 平台下的分析。从理论角度肯定了在 SDH 传输设备时钟板中引入锁相环路的可行性。

在设计实现阶段，根据 SDH 网络对同步的要求，从提高同步稳定性的角度出发，本文设计了由数字锁相环实现的锁相跟踪模块方案：由 FPGA 实现数字鉴相器，由软件实现环路的滤波算法，由压控恒温晶体振荡器作为本地时钟。

本论文的最大特点就是实现了软件控制的锁相环。因此，在具体实现阶段，本文设计并实现了软件控制的锁相环：根据锁相环捕获和跟踪特性，本文设计了三组不同的环路参数，软件的功能就是根据不同的工作情况控制锁相环自动选择不同的参数，使锁相跟踪模块能够快速准确地锁定到基准时钟源；而且为了提高锁相环路的捕获和跟踪性能，本文对软件算法进行了优化处理，使得模块的工作范围更宽，更具智能化；同时，本文将本模块的软件控制部分以中断的方式嵌入到整个时钟板软件之中，设计了中断的处理过程。经过测试，本文所设计的锁相跟踪模块性能良好，已经应用到实际的 SDH 传输设备之中。

**关键词：**同步数字体系，同步，锁相环，中断

## Abstract

### ***Abstract***

In synchronous digital hierarchy (SDH), data is transferred in fiber, which has been applied in the telecom network in a large scale owing to its high speed, low cost and safety. SDH has unified criterion in all over the world, moreover, with the far-sight and compatibility in designing forepart, SDH would exist to be main way of transmission and keep superior in a long time.

Synchronization is the base of transferring data correctly in digital network. SDH transmission network, as a special digital network, it is necessary for SDH equipments to have synchronization function. The synchronous clock board in SDH equipments, of which the key module is phase-locked and tracking module, is the core of SDH equipments, and it is mainly used for synchronizing network. In order to synchronize, the phase-locked loop (PLL) is widely used in modern communication system, because its performance is much better than that of other techniques, and the digital PLL works better.

This thesis provides the practical application of PLL in SDH network, and this thesis includes three subjects: principle research, mainly design and realization. The principle of SDH technology and synchronization structure of SDH network are introduced firstly, then the function of the synchronous clock board is described. Because PLL is the main unit of phase-locked and tracking module, its principle and characteristic are researched thoroughly, and its performances of acquisition and tracking are simulated in Matlab. This research gives the possibility for introducing PLL to the synchronous clock board in theory.

Then, in this thesis, the design of digital phase-locked loop (DPLL) is presented. This DPLL contains a purely digital phase detector which is implemented by field programmable gate array (FPGA), loop filter which is realized by software, and voltage-controlled oven-controlled crystal oscillator.

In fact, the advantage of this thesis is that PLL is realized by software. Therefore, during realizing application, this thesis designs and realizes the PLL controlled by software. Three different groups of parameters are provided in terms of the

#### Abstract

performances of acquisition and tracking of PLL. The function of software is in charge of PLL, in the case, PLL will choose appropriate parameters according to different working state, and will achieve locked state as quickly and accurately as possible in the end. And, in order to improve the performances of acquisition and tracking of PLL in the extreme, many unsafe factors are considered such as nonlinear phase, out of lock and so on. For solving these problems, some work is carried out to optimize the performance of PLL. As a result, a larger lock-in range and more intelligent operation are acquired. In addition, an interrupt is designed detailedly to embed the PLL software to synchronous clock board software.

In the end, the module is tested. The result shows that the module performs well, and the module has been applied in SDH equipments.

**Keywords:** Synchronous digital hierarchy, Synchronization, Phase-locked loop, Interrupt

## 目 录

## 目 录

第一章 绪论 .....	1
1.1 选题背景 .....	1
1.1.1 SDH 技术的发展状况 .....	1
1.1.2 SDH 中的同步技术应用状况 .....	1
1.2 论文的设计目标及工作成果 .....	2
1.3 论文结构 .....	3
第二章 SDH 技术原理介绍 .....	4
2.1 SDH 技术的特点 .....	4
2.1.1 SDH 的速率 .....	4
2.1.2 SDH 的帧结构 .....	4
2.2 SDH 网络设备 .....	6
2.3 SDH 网络的同步 .....	7
2.3.1 同步网的概念 .....	8
2.3.1.1 网同步的方式 .....	8
2.3.1.2 同步网的工作模式 .....	9
2.3.2 SDH 网络的同步结构 .....	10
2.4 本章小结 .....	12
第三章 时钟板的功能与构成 .....	13
3.1 时钟板在系统中的地位 .....	13
3.2 SDH 设备时钟的功能 .....	13
3.2.1 基准源选择功能模块 .....	15
3.2.2 锁相跟踪功能模块 .....	15
3.3 本章小结 .....	15
第四章 锁相环的基本原理及研究 .....	16



## 目 录

4.1	锁相环的构成 .....	16
4.1.1	鉴相器 .....	16
4.1.2	环路滤波器 .....	18
4.1.3	压控振荡器 .....	19
4.2	锁相环的数学模型 .....	20
4.3	锁相环的工作过程 .....	22
4.3.1	捕获过程 .....	22
4.3.2	锁定状态 .....	23
4.3.3	跟踪状态 .....	23
4.4	锁相环路的线性近似模型 .....	24
4.5	理想二阶锁相环路特性分析 .....	24
4.5.1	频率响应 .....	25
4.5.2	跟踪性能 .....	27
4.5.3	捕获性能 .....	29
4.6	本章小结 .....	31
第五章	锁相跟踪功能模块的详细设计及实现 .....	32
5.1	锁相跟踪功能模块设计原则 .....	32
5.2	锁相跟踪功能模块的设计原理 .....	33
5.3	锁相环的具体实现 .....	34
5.3.1	数字鉴相器的设计 .....	35
5.3.2	低通滤波算法的设计 .....	36
5.3.3	环路参数选择 .....	38
5.3.3.1	基本硬件参数 .....	38
5.3.3.2	阻尼系数和无阻尼振荡频率 .....	40
5.3.3.3	对环路参数的仿真 .....	42
5.4	锁相跟踪模块的 CPU 软件处理 .....	43
5.4.1	CPU 的中断处理 .....	44
5.4.1.1	MPC852T 及其中断简介 .....	44

## 目 录

5.4.1.2 中断的详细设计 .....	49
5.4.2 CPU 的软件滤波算法处理 .....	51
5.4.2.1 锁相跟踪模块的工作模式 .....	51
5.4.2.2 滤波算法的整体处理过程 .....	53
5.4.2.3 相位线性化处理算法 .....	55
5.4.2.4 积分滤波算法 .....	57
5.4.2.5 锁相环状态切换处理 .....	59
5.4.2.6 保持模式下 DAC 控制值的获取 .....	61
5.5 时钟板的实物图 .....	61
5.6 本章小结 .....	62
第六章 锁相跟踪模块的测试 .....	64
6.1 测试系统简介 .....	64
6.2 时钟板锁相跟踪模块的测试 .....	65
6.2.1 测试参数配置 .....	65
6.2.2 测试内容 .....	68
6.2.3 测试中需要注意的问题 .....	68
6.3 测试结论 .....	69
第七章 结论 .....	70
致 谢 .....	71
参考文献 .....	72
在学期间的研究成果 .....	74

## 术语和缩略语

缩略语	全称	含义
API	Application Programming Interface	应用程序接口
BITS	Building Integrated Timing Supply	大楼综合定时供给系统
BSP	Board Support Package	板级支撑包
FPGA	Field Programmable Gate Array	现场可编程门阵列
GPS	Global Positioning System	卫星全球定位系统
ISR	Interrupt Service Routine	中断服务程序
LF	Loop Filter	环路滤波器
LPR	Local Primary Reference Source	本地主基准源
NCP	Net Control Processor	网元控制板
PD	Phase Detector	鉴相器
PRC	Primary Referrnce Source	主基准源
RISC	Reduced Instruction Set Computer	精简指令集计算机
SC	Synchronous Clock	时钟板
SETG	Synchronous Equipment Timing Source	同步设备定时发生器
SSM	Synchronization Status Messag	同步状态消息
STM	Synchronous Transfer Mode	同步传输模式
SOH	Section overhead	段开销
VCO	Voltage-Controlled Oscillator	压控振荡器
VCOCXO	Voltage-Controlled Oven-Controlled Crystal Oscillator	压控恒温晶体振荡器



## 第一章 绪论

### 1.1 选题背景

#### 1.1.1 SDH 技术的发展状况

自从 20 世纪 80 年代中期以来, 光纤通信在电信网中获得了大规模的应用, 其传输模型也从准同步数字体系 PDH (Plesiochronous Digital Hierarchy) 过渡到了今天所普遍采用的同步数字体系 SDH (Synchronous Digital Hierarchy)。由于全球的通信产业正处在大力发展的时期, 因此 SDH 技术的发展也非常快, 现阶段在数据传输领域 SDH 技术正被广泛的应用, 而且随着光纤通信技术发展的越来越快, 通信的容量也越来越大, SDH 技术将应用更广泛。未来的 SDH 将会发展成基于 SDH 的多业务传送平台技术 MSTP (Multi Service Transport Platform), 将会在城域网的传输中得到广泛的应用。

#### 1.1.2 SDH 中的同步技术应用状况

在数字通信系统中, 传送的信号都是数字化的脉冲序列。这些数字信号流在数字交换设备之间传输时, 其速率必须完全保持一致, 才能保证信息传送的准确无误, 这就叫做“同步”。

SDH 网络作为数字网, 传输的数据都是数字流, 这种特性要求网络必须是同步的, 即网络中的所有交换节点的时钟频率和相位都被控制在预先确定的容差范围内, 以便使网内各交换节点的全部数字流实现正确有效的交换, 否则会在数字交换机的缓存器中产生信息比特的溢出和取空, 导致数字流的滑动损伤, 造成数据出错<sup>[1]</sup>。

在同步技术中, 锁相环 (PLL: Phase-Locked Loop) 的应用十分广泛。DeBellescize 于 1932 年提出同步检波理论时, 首次公开发表了对锁相环的描述<sup>[2]</sup>。时至今日, 随着集成电路技术和数字技术的发展, 相应出现了各种数字锁相环路, 它们在数字信号传输载波同步、位同步、相干解调等方面发挥了重要的作用。SDH 传输设备中的同步功能就是由锁相技术来实现的, 设计良好的锁相环路对 SDH 网络的同步至关重要。

由于同步在 SDH 网络中功能十分重要, 为了实现网络的同步, 在 SDH 传输设备的开发中, 需要专门来设计同步功能模块, 来实现 SDH 网络的同步。

## 1.2 论文的设计目标及工作成果

在中兴通讯公司研制的 SDH 传输设备中, 同步功能由专门的时钟板来实现, 时钟板是 SDH 设备中非常关键的一块单板。它不但肩负实现 SDH 网络的同步功能, 同时它还为系统的运行提供必要的时钟功能, 这样重要的功能对每个传输设备都是很必要的。

ZXSM S325 设备是中兴通讯公司众多传输设备产品之一。笔者有幸参与了设备中时钟板的研发, 成为研发团队的一员, 并参与到其核心功能——锁相跟踪功能模块的研发之中。本模块主要就是实现了 SDH 网络的同步功能, 由锁相环路实现。

模块的主要性能参数如下:

- 跟踪时钟频率为 8kHz;
- 本地时钟频率为 77.76MHz;
- 锁相环路的频率牵引范围至少要为  $\pm 4.6 \times 10^{-6}$ ;
- 锁相环路带宽为 1~10Hz;
- 通带内的相位增益不高于 0.2dB。
- 锁定时间尽可能短。

锁相跟踪模块的设计完全依照这些参数来进行, 为了设计出符合上述性能的锁相跟踪模块, 对锁相环的研究和分析是必不可少的, 并且在研究分析的基础上设计符合要求的锁相环路。

因此笔者的工作是:

- 1) 熟悉 SDH 网络的基本原理和同步结构;
- 2) 对锁相技术进行详细的理论研究和 Matlab 分析, 总结影响锁相环路性能的主要因素, 以及明确改善环路性能的措施;
- 3) 参与到锁相环路的设计之中, 根据 SDH 同步网的要求, 设计了符合要求的数字锁相环路: 数字鉴相器由 FPGA 实现, 环路滤波器由 CPU 控制的数字滤波器实现; 并通过 Matlab 仿真获得锁相环路参数;
- 4) 负责设计实现锁相环路的软件处理算法, 软件算法的设计和实现是本论文工作的重点, 而且由软件来控制锁相环也是本论文的最大特点, 软件处理

## 第一章 绪 论

设计包括 CPU 的中断处理设计和软件锁相环算法设计；在软件锁相环算法设计过程中，对算法进行了优化处理，诸如相位线性化处理和防止相位跃变处理等优化，这些处理大大提高了锁相跟踪模块的性能；

- 5) 在 SDH 网络中对设计实现的锁相跟踪模块进行测试。由于笔者的主要工作是用软件实现锁相环，而软件的设计依托硬件来实现，模块的硬件参数已经在硬件设计中进行了测试，因此笔者的测试是在软件运行起来后进行的，主要是整体测试，测试了模块是否能够锁定以及锁定时间等功能。

### 1.3 论文结构

论文共分七章：

第一章对课题的背景进行了介绍，并由此引出了本论文的主要工作及意义；

第二章介绍了 SDH 技术的原理和 SDH 网络同步的概念，从而明确了 SDH 网络对同步的要求；

第三章对时钟板整体功能做了介绍，尤其是锁相跟踪功能的介绍，引出了锁相环在时钟板中的应用；

第四章对锁相环进行了深入研究和 Matlab 分析，为其后锁相跟踪模块的设计提供了理论基础；

第五章在前面理论基础之上，详细描述了锁相跟踪功能模块的设计过程和具体实现，包括原理部分的设计、参数的获取以及软件处理的设计，软件处理设计包括中断设计、锁相环处理算法设计以及对软件算法的优化处理；

第六章对我们设计的锁相跟踪模块进行了系统的测试，测试结果表明模块性能良好，满足要求；

第七章对全文做出了总结。

## 第二章 SDH 技术原理介绍

### 2.1 SDH 技术的特点

SDH 是同步数字体系，其前身是 PDH 准同步数字体系，与 PDH 相比 SDH 具有明显的优势：SDH 接口统一、速率统一、向下兼容（可以传输 PDH 信号）和开销比特丰富等等。尤其是在 SDH 的帧结构中安排了丰富的开销字节（大约占信号的 5%），因而使网络的 OAM（Operation, Administration and Maintenance 运营、管理和维护）能力大大加强，使得 SDH 网元设备具有了智能化；同时通过嵌入在开销中的控制通路可以使部分网络管理能力分配到网元，实现分布式管理和单端维护，减少了物理链路和安装运行成本，还使得新特性和新功能的开发变得比较容易。因此当前电信网的传输设备基本上都是 SDH 设备<sup>[1]</sup>。

#### 2.1.1 SDH 的速率

SDH 信号的速率等级表示为 STM-N（Synchronous Transfer Mode），其中 N 是正整数。目前 SDH 只能支持一定的 N 值，即 N 只能为 1，4，16 和 64，其中最基本、也是最重要的模块信号是 STM-1，其速率是 155.520Mbit/s，更高等级的 STM-N 信号是将基本模块信号 STM-1 经过字节间插后得出，STM-4 等级的速率为 622.080Mbit/s，STM-16 等级的速率为 2488.320Mbit/s，STM-64 等级的速率为 9953.280Mbit/s。

#### 2.1.2 SDH 的帧结构

SDH 以字节为单位进行传输，它的帧结构是一种以字节结构为基础的矩形块状帧结构，如图 2-1 所示，它包括  $270 \times N$  列和 9 行字节，每字节包括 8 个比特。SDH 的矩形帧在光纤上传输时是串行传输的，在光发送端经并/串转换成链状结构进行传输，而在光接收端经串/并转换成矩形块状进行处理。在 SDH 帧中，字节的传输是从左到右按行进行的，首先由图中左上角第一个字节开始，从左向右按顺序传送，传完一行再传下一行，直至整个  $9 \times 270 \times N$  个字节都传送完再转入下一帧，如此一帧一帧地传送。每秒可传 8000 帧，帧长恒定为 125 $\mu$ s。SDH 的帧频为



8000 帧/秒，这就是说信号帧中某一特定字节每秒被传送 8000 次，那么该字节的比特速率是  $8000 \times 8\text{bit} = 64\text{kbit/s}$ ，也即是一路数字电话的传输速率。以 STM-1 等级为例，其速率为  $270$ （每帧  $270$  列） $\times 9$ （共  $9$  行） $\times 64\text{kbit/s}$ （每个字节每秒传输  $64\text{k}$  比特） $= 155520\text{kbit/s} = 155.520\text{Mbit/s}$ 。



图 2-1 STM-N 的帧结构 (N=1,4,16,64)

从上图中看出，STM-N 的帧结构由 3 部分组成：段开销 SOH（Section overhead），管理单元指针（AU-PTR），信息净负荷（Payload）。

#### 1. 段开销（SOH）区域

段开销是指 STM-N 帧结构中为了保证信息净负荷正常灵活地传送所必须的附加字节，主要用于网络的运行、管理和维护。其中包含有定帧信息、用于维护和性能监视的信息以及其他操作功能。

SOH 可划分为再生段开销 RSOH（Regenerator SOH）和复用段开销 MSOH（Multiplex SOH），第 1~3 行分配给 RSOH，第 5~9 行分配给 MSOH。如图 2-2 所示为 STM-1 的 SOH 详细结构：

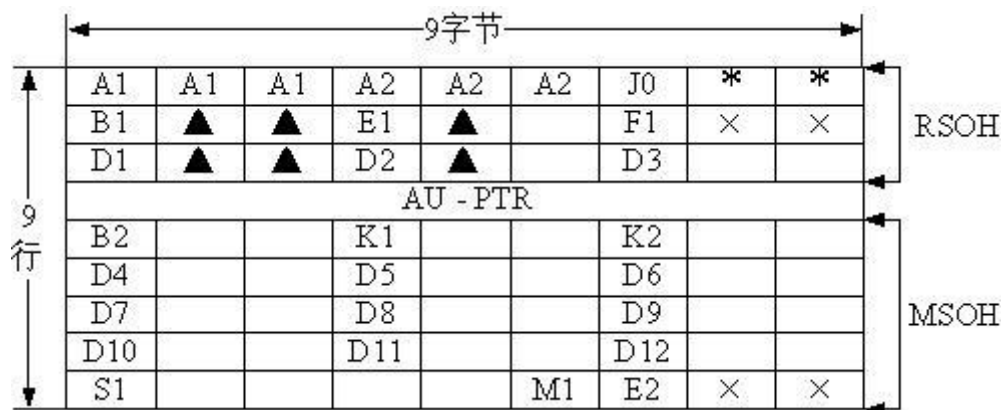


图 2-2 STM-1 的段开销字节

图 2-2 中, 各个标示的字节都有独特的应用, 例如 A1 和 A2 是帧定位字节代表了一个 SDH 帧的开始; B1 是再生段误码校验字节, B2 是复用段误码校验字节, 它们用于监测 SDH 帧中是否出现误码;

S1 表示同步状态消息 (SSM: Synchronization Status Message), 其中 b5~b8 比特有效, 这四个比特可以有 16 种不同编码, 因而可以表示 16 种不同的同步质量等级, 编码值越小, 表示相应的时钟质量级别越高, 使设备能据此判定接收的时钟信号的质量, 并决定是否进行时钟源切换, 即切换到较高质量的时钟源上, 这个字节对 SDH 网络的同步非常重要。

×代表国内使用字节, \*代表不扰码国内使用字节, ▲代表与传输媒质有关的字节, 所有未标记字节待将来国际标准确定。

对 STM-N 帧而言, 它的 SOH 字节是由 N 个 STM-1 帧的 SOH 交错间插排列构成, 但构成时仅完整保留第一个 STM-1 的段开销, 其余 N-1 个 STM-1 帧的段开销仅保留帧定位字节 A1, A2 和 B2 字节, 其它字节均略去。

## 2. 信息净负荷 (Payload) 区域

信息净负荷区域是 SDH 帧结构中用于存放各种业务信息的地方。横向第  $10 \times N$  列至第  $270 \times N$  列, 纵向第 1 至第 9 行的  $2349 \times N$  个字节都属于信息净负荷区域, 在这里面还含有通道开销字节 (POH: Path overhead), 也作为净负荷的一部分并与之一起在网络中传送, 主要用于通道性能的监视、管理和控制。

## 3. 管理单元指针 (AU-PTR) 区域

AU-PTR 是一种指示符, 主要用来指示信息净负荷的第一个字节在 STM-N 内的准确位置, 以便在接收端正确地进行信息分解。它位于 STM-N 帧结构中第四行的第 1 至第  $9 \times N$  列中的。采用指针方式是 SDH 的重要创新, 可使之在准同步环境中完成复用同步和 STM-N 信号的帧定位。

## 2.2 SDH 网络设备

SDH 传输网络由一些不同的 SDH 设备 (也称为网元) 通过光纤连接组成, 通过这些网元完成 SDH 网的数据传输功能, 包括上/下业务、交叉连接业务、网络故障自愈等。SDH 网络基本的网元有: 终端复用器 (TM: Terminal Multiplexer)、分插复用器 (ADM: Add and Drop Multiplexer)、再生中继器 (REG: Regenerator) 和同步数字交叉连接设备 (DXC: Digital Cross Connect Equipment) 等。

各种设备完成不同的功能, 例如 TM 位于一条链的终点, 它将低速的支路信

号或 SDH 信号复用成高速 SDH 信号，或者相反的过程；ADM 位于 SDH 传输网络的转接站点处，相当于两个终端复用器；REG 主要对 SDH 信号进行放大和整形，使其传输的距离更远，可以处理再生段开销；DXC 完成的主要是 STM-N 信号的交叉连接功能，它是一个多端口器件，它实际上相当于一个交叉矩阵，完成各个信号间的交叉连接。

通常一个 SDH 设备是比较复杂的，它由一些不同的单板构成，各个单板完成复杂系统中的相对独立的一部分功能，一个典型的设备由如下单板构成：网元控制板（NCP）、时钟板（SC）、交叉板（CS）、光接口板（OL）、电支路板（ET、ES）、公务板（OW）以及背板（MB）等。系统框图如下：

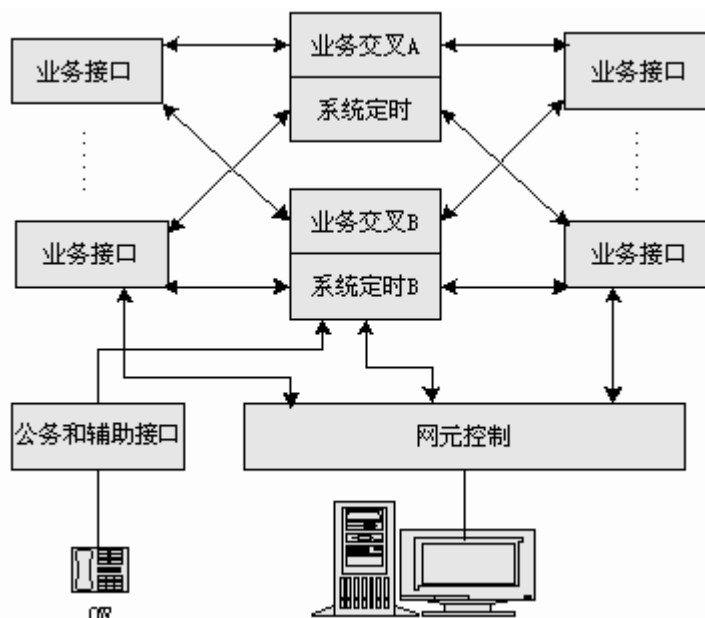


图 2-3 SDH 设备的系统框架

## 2.3 SDH 网络的同步

数字网中要解决的首要问题是网同步问题，因为要保证发端在发送数字脉冲信号时将脉冲放在特定时间位置上（即特定的时隙中），而收端要能在特定的时间位置处将该脉冲提取解读以保证收发两端的正常通信，而这种保证收/发两端能正确地在某一特定时间位置上提取/发送信息的功能则是由收/发两端的定时时钟来实现的。因此，网络同步的目的是使网中各节点的时钟频率和相位都限制在预先确定的容差范围内，以免由于数字传输系统中收/发定位的不准确导致传输性能的劣化。

### 2.3.1 同步网的概念

网同步是一般性的概念,用于描述将公共的时间和频率向网络中所有网元分配的方法。

同步的网是指这样一个网络,在该网络中,所有的时钟在正常运行条件下具有相同的长期准确度。

同步网是用于提供定时基准信号的网络。一般而言,同步网由同步链路连接的同步网节点组成<sup>[3]</sup>。

#### 2.3.1.1 网同步的方式

目前电信网中交换节点时钟的同步主要采用分级主从同步方式。这种方式中所有的时钟都跟踪于主基准时钟(PRC: Primary Reference Source),该 PRC 是网络中最高级别的时钟,具有最高的精度和稳定度,通过将定时基准从一个时钟传给下一个时钟来取得同步。这时存在时钟等级,低等级的时钟从高等级的时钟获取定时基准并按规定顺序传给更低等级的时钟<sup>[1]</sup>。

通常主从同步分配网采用树形结构,将定时基准信号送到网内各交换节点,然后通过锁相环使本地时钟的相位锁定到接收的定时基准上,从而使网内各交换节点的时钟都与 PRC 同步。如图所示:

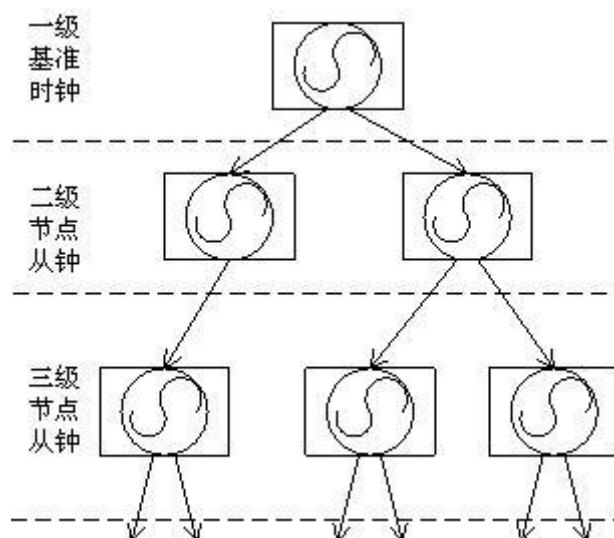


图 2-4 分级主从同步方式

这是一种单端控制方式,主要优点在于网络稳定性好,组网灵活,对于从节点时钟的频率精度要求较低,控制简单,网络的滑动性能也较好。主要缺点是对基准主时钟和同步分配链路的故障很敏感,一旦 PRC 发生故障就会造成全网的问题。

## 第二章 SDH 技术原理介绍

为了增加主从定时系统的可靠性，可在网内设一个副时钟，采用等级主从控制方式。两个时钟均采用铯时钟，在正常时主时钟起网络定时基准作用，副时钟亦以主时钟的时钟为基准。当主时钟发生故障时，改由副时钟给网络提供定时基准，当主时钟恢复后，再切换回由主时钟提供网络基准定时。我国即采用分级主从同步方式，其中主时钟在北京，副时钟在武汉。

在采用主从同步时，上一级网元的定时信号通过一定的路由——同步链路或附在线路信号上从线路传输到下一级网元。该级网元提取此时钟信号，通过本身的锁相振荡器跟踪锁定此时钟，并产生以此时钟为基准的本网元所用的本地时钟信号，同时通过同步链路或通过传输线路（即将时钟信息附在线路信号中传输）向下级网元传输，供其跟踪、锁定。若本站收不到从上一级网元传来的基准时钟，那么本网元通过本身的内置锁相振荡器提供本网元使用的本地时钟并向下一级网元传送时钟信号。

### 2.3.1.2 同步网的工作模式

在主从同步方式中，节点从时钟通常有三种实际工作模式。

1. 正常工作模式：指的是在实际业务条件下的工作。此时，时钟同步于输入的基准时钟信号，影响时钟精度的主要因素是基准时钟信号的固有相位噪声和从时钟控制环（从时钟振荡器的锁相环）的相位噪声。通常，输入基准时钟信号可以跟踪至网中的主时钟（PRC），也可能是从另一更高等级而暂时处于保持模式工作的 G. 812 从时钟中获取定时，也可是本地区的卫星全球定位系统（GPS: Global Positioning System）时钟。与从时钟工作的其它两种模式相比较，此种从时钟的工作模式精度最高。

2. 保持模式：当所有可参考的定时基准丢失后，从时钟可以进入所谓的保持模式。此时，从时钟利用定时基准信号丢失之前所存储的最后的频率信息作为其定时基准而工作，也就是说从时钟有“记忆”功能，通过“记忆”功能提供与原定时基准较相符的定时信号，以保证从时钟频率在长时间内与基准时钟频率只有很小的频率偏差。但是由于振荡器的固有振荡频率会慢慢地漂移，故此种工作方式提供的较高精度时钟不能持续很久，以应付长达数天的外定时中断故障。此种工作模式的时钟精度仅次于正常工作模式的时钟精度。

3. 自由运行模式：当从时钟不仅丢失所有定时基准，而且也失去了定时基准记忆或者根本没有保持模式时，从时钟内部振荡器工作于自由振荡方式。此种模式的时钟精度最低，实属万不得已而为之。

### 2.3.2 SDH 网络的同步结构

SDH 网络是整个数字网的一部分，它的同步结构也采用分级主从同步方式，网络中的时钟可按精度分为四个级别，目前 ITU-T 将各级时钟划分为 4 类：

表 2-1 ITU 划分的时钟级别

一级基准时钟	基准主时钟 PRC/LPR	符合 G. 811 规范
二级节点时钟	转接局从时钟 SSU-A	符合 G. 812 规范
三级节点时钟	端局从时钟 SSU-B	符合 G. 812 规范
四级时钟	SDH 设备内置时钟 SEC	符合 G. 813 规范

同时为了便于规划、维护管理及提高同步性能和可靠性，同步网又根据不同的地区将整个同步网分为相对独立同步区域，我国即以各个省为单位将全网划分为不同的同步区域，在每个区域内部仍然采用主从同步方式，同步区域是同步网最大的子网，每个区域设置符合 G. 811 规范的区域基准时钟（LPR: Local Primary Reference Source），LPR 可以接收 PRC 时钟信号，同时又内置 GPS 接收机，也可以接收 GPS 时钟信号。采用这种方式可以备份网络上重要节点的时钟，以避免当网络重要结点主时钟基准丢失，而本身内置时钟的质量又不够高，以至大范围影响网元正常工作的情况。因此该地区其它的下级网元在主时钟基准丢失后仍采用主从同步方式跟踪这个 GPS 提供的基准时钟。

根据前述，SDH 网的同步结构可以图 2-5 如下：

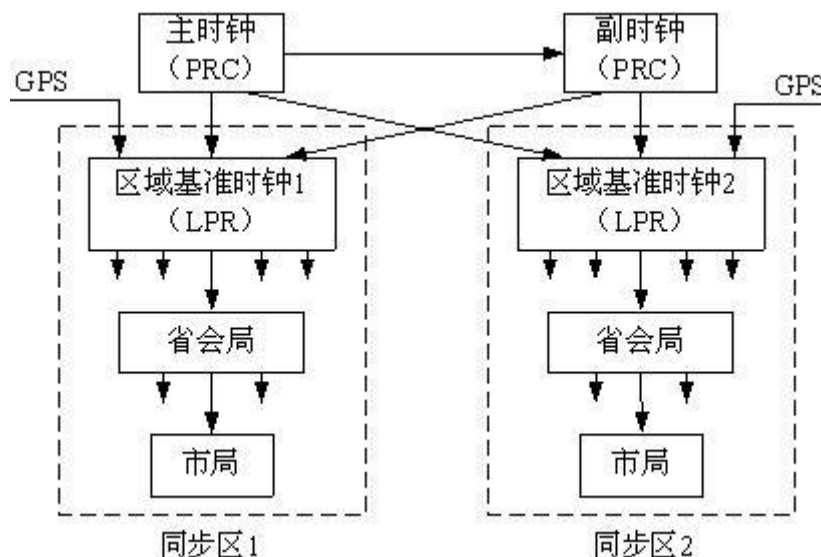


图 2-5 SDH 同步网结构

图 2-5 中, PRC 和 LPR 符合 G. 811 规范, 一般设置在各省、自治区中心和直辖市, 为一级基准时钟; 省会局时钟一般由原子钟 (如铷钟) 构成, 符合 G. 812 规范, 设置在各省、自治区中心和直辖市的各长途通信楼, 地、市级长途通信楼和汇接长途话务量大且具有多种业务要求的重要汇接局, 为二级节点时钟; 市局时钟由高稳晶振构成, 符合 G. 812 规范, 设置在本地网内的汇接局或端局, 为三级节点时钟。

可见, 在各个同步区内分布许多转接局和端局, 各个局之间的时钟分配采用分级树状结构, 即由 PRC 或 LPR 向二级节点时钟提供定时基准信号, 再由二级节点时钟向三级节点时钟提供定时基准信号, 最终使 SDH 网内的所有节点都能同步。各级时钟关系如图 2-6 所示。需要注意, 低等级的时钟只能接收更高等级使或同一等级时钟的定时, 这样可以避免形成定时信号的环路, 造成同步的不稳定。

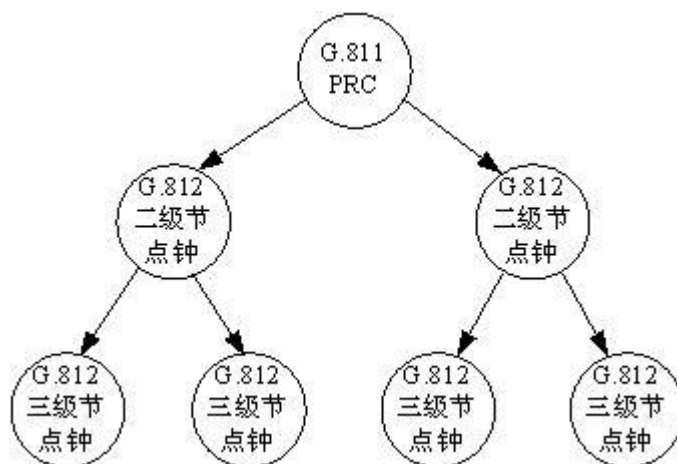


图 2-6 局间分配的同步网结构

而在同步区域之间, 每个 LPR 尽管有差异, 但差异极小, 所以区域之间接近同步, 称为伪同步方式。

对于各个局内的时钟分配, 通常局内有大楼综合定时系统 (BITS: Building Integrated Timing Supply), 它通过同步分配链路接收其他局的高级别的时钟, 并能够一直跟踪至全网的基准时钟, 从而成为本局内最高质量的时钟, 本局内所有设备时钟均接受该主钟提供的定时基准以达到同步运行。因此, 局内同步分配通常采用逻辑上的星形拓扑, 该节点时钟一般至少为三级或二级时钟。定时信号再由该局内的 SDH 网络单元经 SDH 传输链路送往其他局的 SDH 设备网元。如图 2-7 所示:

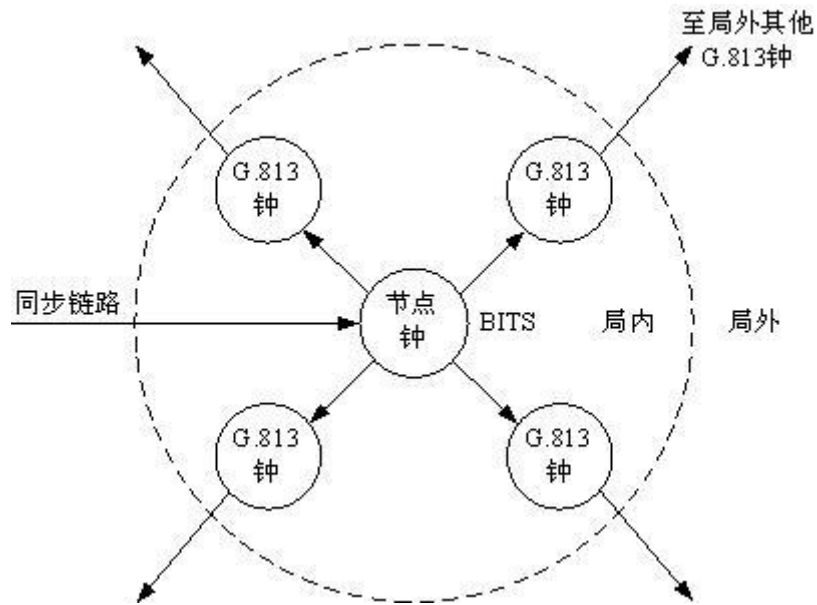


图 2-7 局内分配同步网结构

## 2.4 本章小结

本章简单介绍了 SDH 技术的基本原理，并且根据 SDH 技术的特点，结合数字通信网中同步的概念，引出了 SDH 网络中同步的结构和特性，这是论文基础，本论文的目的就是实现 SDH 网络的同步。



## 第三章 时钟板的功能与构成

### 3.1 时钟板在系统中的地位

由前面介绍可知，SDH 同步网采用分级主从同步方式，因此 SDH 设备为了与网络保持同步，需要跟踪主基准时钟，并将基准时钟的同步状态信息（SSM）按规定从一个时钟传到另一个时钟，利用 SSM 同步字节实现全网时钟同步，这些功能都由 SDH 设备中时钟板（SC）来完成。

由于 SDH 设备由不同的单板构成，时钟板还为整个设备中各个单板提供系统时钟、系统帧头和系统开销总线时钟及帧头，这些时钟信号是所有业务单板正常工作的基础。因此时钟板在系统中比较重要，和其他单板的关系如图 3-1 所示：

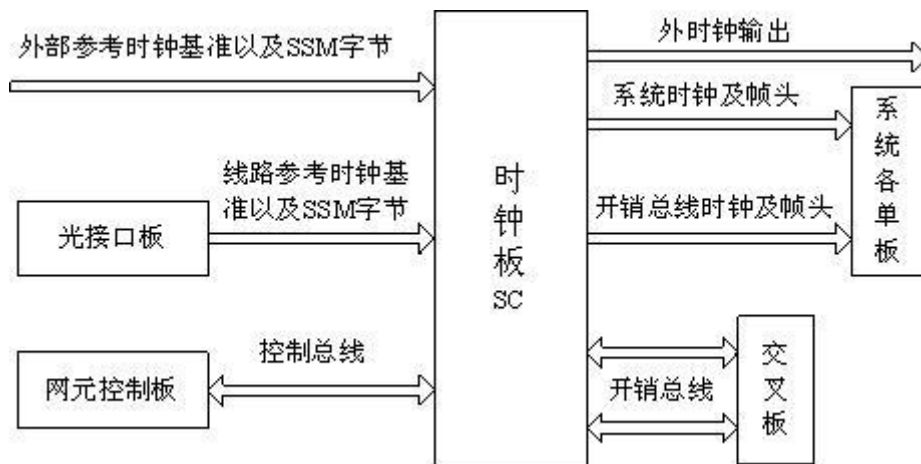


图 3-1 时钟板在系统中的位置

### 3.2 SDH 设备时钟的功能

SDH 设备时钟功能结构应满足 ITU-T 建议 G. 783 中的规定，如图 3-2 所示。其中，T1 为 STM-N 输入接口，即来自 STM-N 线路/支路的信号；T2 为 PDH 输入接口，即来自 PDH 支路的信号；T3 为外定时输入接口，即来自外定时输入接口的信号；SETG（Synchronous Equipment Timing Source）为同步设备定时发生器，即 SDH 设备时钟 SEC；T4 为外定时输出接口，其定时输出可直接由 STM-N 线路/支路导出，也可来自 SETG；T0 为内部定时接口<sup>[4]</sup>。

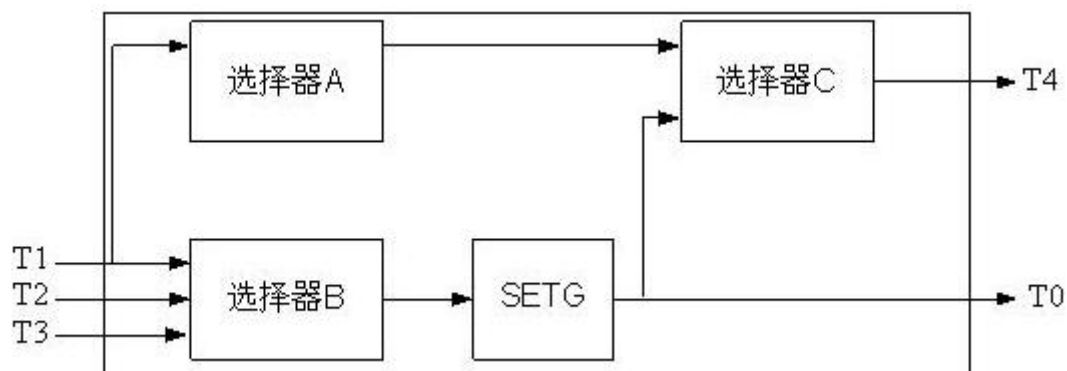


图 3-2 SDH 设备时钟功能结构

- 选择器 A

具有从参考点 T1 的若干定时信号中选择一个基准同步源的功能；

- 选择器 B

具有从参考点 T1、T2 和 T3 等多个定时源中选择一个基准同步源的功能；

- 同步设备定时发生器 (SETG)

SETG 是一个锁相环路，锁定由选择器 B 所选中的输入基准定时源，也可能运行在保持模式或自由运行模式；

- 选择器 C

具有从 T1 直接导出或经过 SETG 输出的功能。

综上：时钟板主要包括两部分功能：基准源选择功能模块和锁相跟踪功能模。

如图 3-3 所示为时钟板主要功能块原理图<sup>[5]</sup>：

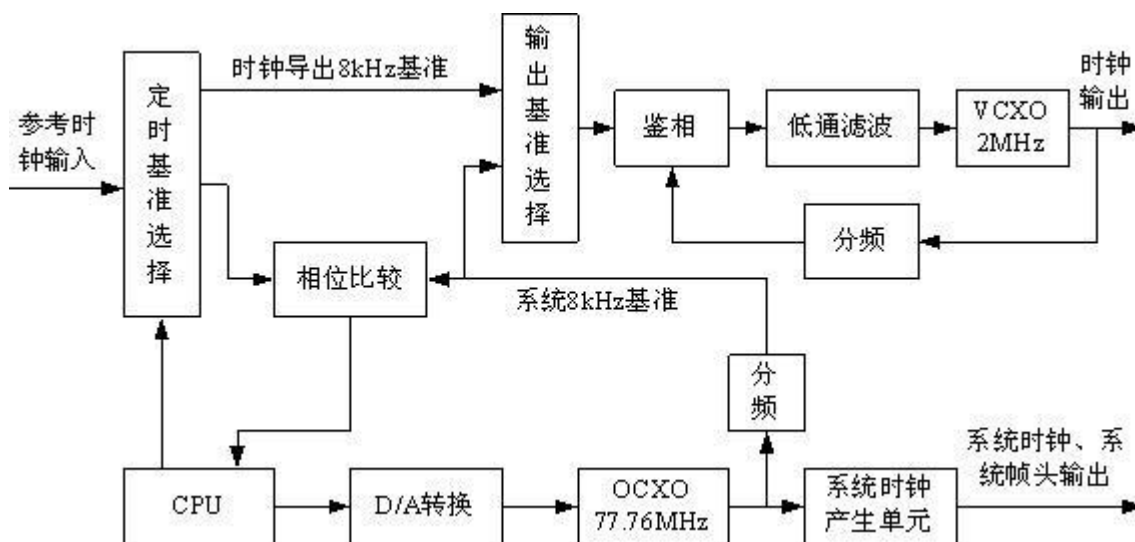


图 3-3 时钟板主要功能模块原理图

需要注意的是，图中主要给出了时钟部分的原理图，事实上 CPU 还担负有其他比较重要的功能，比如监控功能、倒换功能等等，由于这些功能不是本论文的工作，在此不再说明。

#### 3.2.1 基准源选择功能模块

这部分实现了图 3-2 中几个选择器的功能，此模块根据输入的 T1、T2 和 T3 时钟信号选择一路作为基准时钟，其选择功能的实现根据各频率基准源的告警信息以及时钟同步状态信息（SSM）综合实现，这部分功能主要由 CPU 软件实现，而且是在网管控制台的控制下来完成的，网管控制台根据某一网元的具体功能，向其下发相应的定时基准配置数据。

#### 3.2.2 锁相跟踪功能模块

这部分功能包括图 3-2 中的定时发生器 SETG 部分和 T4 导出时钟部分，是整个时钟板的核心功能部分，两部分均由锁相环路构成。

SETG 由一个数字锁相环路来实现，负责对基准源选择功能模块选择出来的 8KHz 基准时钟信号进行跟踪和锁定，最终实现整个 SDH 网络的同步，同时还为系统提供定时和时钟信号；

T4 导出时钟部分是一个模拟环路，主要实现 2.048MHz 的时钟输出，相当于变频器功能。由于此模块的输入时钟源一般为锁相跟踪模块输出的时钟，质量已经比较高，因此本模块的设计比锁相跟踪模块简单得多。

### 3.3 本章小结

本章主要介绍了 SDH 设备时钟板的基本功能，并简要介绍了两个有关时钟同步的功能模块，这些模块是时钟板实现时钟同步的基础，尤其是与锁相环相关的锁相跟踪功能模块是时钟板的核心功能。整个锁相跟踪功能模块中，SETG 是核心部分，T4 导出时钟只是其中的一小部分，因此 SETG 部分是本论文进行研究和设计的重心，以后的各章节都是围绕这个部分展开的，首先在下一章将介绍锁相环的基本原理和特性。

## 第四章 锁相环的基本原理及研究

上一章根据 SDH 同步网对时钟功能的要求，引出了时钟板主要的功能原理和框架，可以发现锁相环是时钟板实现同步功能的基本部件，因此本章将介绍锁相环的基本原理和特性<sup>[22]~[30]</sup>。

### 4.1 锁相环的构成

锁相环（PLL）是一个相位的负反馈控制系统，它通常由鉴相器（PD），环路滤波器（LF）和压控振荡器（VCO）三个基本部件组成<sup>[2]</sup>。如图：

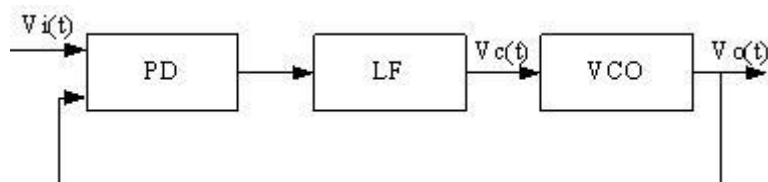


图 4-1 锁相环的基本构成

#### 4.1.1 鉴相器

鉴相器是一个相位比较器，比较两个输入信号的相位，产生误差相位，并转换为误差电压  $V_d(t)$ ；

鉴相器的特性可以是多种多样的，有正弦特性、三角特性、锯齿特性等，作为原理分析，通常使用正弦特性的鉴相器，理由是正弦理论比较成熟，分析简单方便，实际上各种鉴相特性当信噪比降低时，都趋向于正弦特性。

常用的正弦鉴相器可以用模拟乘法器与低通滤波器的串接作为模型，如图4-2所示。输入信号  $V_i(t)$  和压控振荡器的输出信号  $V_o(t)$  分别加到乘法器的两个输入端。

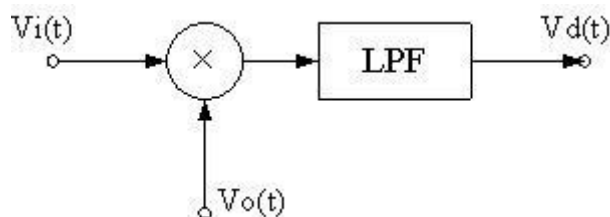


图 4-2 正弦鉴相器模型

设输入信号为：

$$V_i(t) = V_i \cdot \sin[\omega_i \cdot t + \theta_i(t)] \quad (4-1)$$

其中：  $V_i$  为输入信号的幅度；

$\omega_i$  为输入信号的角频率；

$\theta_i(t)$  为输入信号以其载波相位  $\omega_i t$  为参考的瞬时相位。

压控振荡器输出信号为

$$V_o(t) = V_o \cdot \cos[\omega_o \cdot t + \theta_o(t)] \quad (4-2)$$

其中：  $V_o$  为压控振荡器输出信号的振幅；

$\omega_o$  为压控振荡器固有角频率；

$\theta_o(t)$  为压控振荡器输出的信号以其固有振荡相位  $\omega_o t$  为参考的瞬时相位。

一般情况下，两个输入信号的频率是不相同的。但是，相位比较只有在相同频率情况下才有意义，所以为了适应鉴相器进行同频比相的需要，现统一以压控振荡器固有振荡相位  $\omega_o t$  为参考。故需重新定义  $V_i(t)$  的瞬时相位。现将输入信号瞬时相位改写为：

$$[\omega_i \cdot t + \theta_i(t)] = \omega_o \cdot t + [(\omega_i - \omega_o) \cdot t + \theta_i(t)] = \omega_o \cdot t + \theta_1(t) \quad (4-3)$$

式中：

$$\theta_1(t) = (\omega_i - \omega_o) \cdot t + \theta_i(t) = \Delta\omega_o \cdot t + \theta_i(t) \quad (4-4)$$

这里  $\theta_1(t)$  是以固有振荡相位  $\omega_o t$  为参考的输入信号瞬时相位。

为了后面叙述表达的方便，将压控振荡器输出瞬时相位改写成：

$$\omega_o \cdot t + \theta_o(t) = \omega_o \cdot t + \theta_2(t) \quad (4-5)$$

根据以上重新定义的瞬时相位，  $V_i(t)$  和  $V_o(t)$  可以分别写成

$$V_i(t) = V_i \cdot \sin[\omega_o \cdot t + \theta_1(t)] \quad (4-6)$$

$$V_o(t) = V_o \cdot \cos[\omega_o \cdot t + \theta_2(t)] \quad (4-7)$$

经过乘法器之后的输出信号电压为：

$$V_d(t) = Km \cdot V_i(t) \cdot V_o(t) = \frac{Km \cdot V_i \cdot V_o}{2} \{ \sin[2 \cdot \omega_o \cdot t + \theta_1(t) + \theta_2(t)] + \sin[\theta_1(t) - \theta_2(t)] \} \quad (4-8)$$

式中  $Km$  为乘法器的增益系数，量纲为  $1/V$ ，上式中的第一项是频率和项，即  $2\omega_o$  项。

因为鉴相器输出的高频分量 $2\omega_o$ 被低通滤波器LPF所滤除，所以鉴相器实际有用的输出电压为：

$$V_d(t) = \frac{Km \cdot V_i \cdot V_o}{2} \sin[\theta_1(t) - \theta_2(t)] \quad (4-9)$$

令：  $K_d = \frac{Km \cdot V_i \cdot V_o}{2}$ ，定义 $K_d$ 为鉴相灵敏度，单位是V/rad。

令：  $\theta_e(t) = \theta_1(t) - \theta_2(t) = \Delta\omega_o \cdot t + \theta_i(t) - \theta_o(t)$

式中， $\theta_e(t)$ 为两输入信号的瞬时相差。因此，式(4-9)式可以改写为：

$$V_d(t) = K_d \cdot \sin\theta_e(t) \quad (4-10)$$

这就是正弦鉴相器的数学模型。按式(4-10)画的正弦鉴相特性曲线如图4-3所示。上述鉴相器的功能可以分解为两个作用，首先是起到一个相位相减的作用，即检取两个输入信号之间的相位差；其次再把相位误差转换为误差电压输出，所以它是一个相位差转换为电压的转换器。由此可以得到正弦鉴相器的功能模型如图4-4所示。

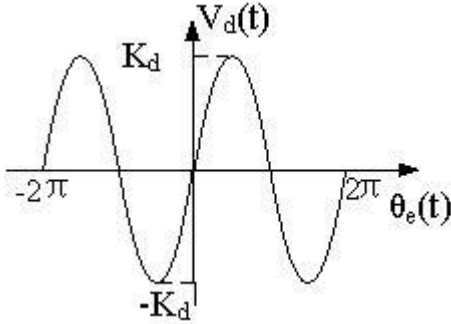


图 4-3 正弦鉴相特性

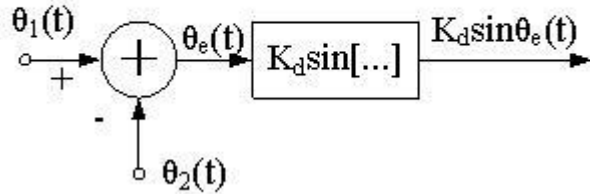


图 4-4 正弦鉴相的功能模型

#### 4.1.2 环路滤波器

环路滤波器是一个低通滤波器，其作用是滤除鉴相器输出误差电压中的高频成份，起到滤波平滑作用，以保证环路稳定、改善环路跟踪性能和噪声特性。这是一个很重要的部件，通常由R、C元件（有时使用运算放大器构成有源滤波）组成。因为它是一个线性系统，故使用传递函数就可以表示它的基本特性。

假设环路滤波器输入电压为 $V_d(t)$ ，输出电压为 $V_c(t)$ ，若不考虑电路的初始状态，则环路滤波器的传递函数 $F(s)$ 可以写成：

$$F(s) = \frac{V_c(s)}{V_d(s)} \quad (4-11)$$

式中， $V_c(s)$ 为输入电压的拉氏变换式， $V_d(s)$ 为输出电压的拉氏变换式。

则其对应的时域方程为：

$$F(p) = \frac{V_c(t)}{V_d(t)} \quad (4-12)$$

式中“p”代表微分符号“d/dt”，则式(4-12)就是环路滤波器的微分方程，其功能模型如图4-5所示。

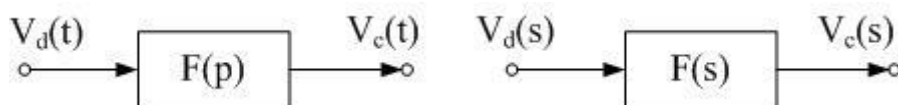


图 4-5 环路滤波器的功能模型

### 4.1.3 压控振荡器

在锁相环路中，压控振荡器起着电压转换为相位的作用。其振荡频率的相位受滤波器输出电压 $V_c(t)$ 的控制，而其输出信号的相位随环路输入信号相位变化而变化，从而保持相位跟踪。

压控振荡器的控制特性指的是它的瞬时角频率 $\omega_v(t)$ 与控制电压 $V_c(t)$ 之间的关系。若取其曲线线性区域的中心为静态工作点，并以此作为坐标原点，则所得 $\omega_v(t) = f(V_c)$ ，关系曲线如图4-6所示。图中的中心频率是压控振荡器未加控制电压，而仅有静态偏压时的振荡频率 $\omega_o$ ，称为压控振荡器固有振荡频率，而瞬时角频率 $\omega_v(t)$ 是以 $\omega_o$ 为中心变化的。在较大范围内 $\omega_v(t)$ 应与 $V_c(t)$ 成线性关系。在此线性范围内，根据图4-6得到压控振荡器的控制特性方程为

$$\omega_v(t) = \omega_o + tg(a) \cdot V_c(t) = \omega_o + K_0 \cdot V_c(t) \quad (4-13)$$

式中 $K_0 = tg\alpha = \Delta\omega_v / \Delta V_c(t)$ 是压控振荡器控制特性曲线的斜率，表示在单位控制电压作用下，压控振荡器角频率变化的大小，因此又称之为压控灵敏度，单位 $rad/(s \cdot V)$ 。在锁相环路中，从鉴相特性看来，压控振荡器输出信号对鉴相器起作用的不是它的瞬时角频率而是它的瞬时相位，因此压控振荡器瞬时相位可对式(4-13)的积分求得。

$$\int_0^t \omega_v(t) dt = \omega_o t + K_0 \cdot \int_0^t V_c(t) dt \quad (4-14)$$

将此式与式（4-7）相比较，可见以 $\omega_o t$ 为参考的输出瞬时相位是：

$$\theta_2(t) = K_o \cdot \int_0^t V_c(t) dt \quad (4-15)$$

为了分析方便，若将式(4-15)中积分符号用微分符号 $p$ 的倒数表示，则式(4-15)可写为：

$$\theta_2(t) = K_o \cdot \frac{V_c(t)}{p} \quad (4-16)$$

因此压控振荡器的功能模型如图4-7所示。

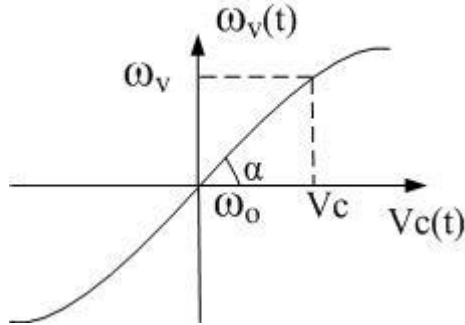


图 4-6 压控振荡器控制特性

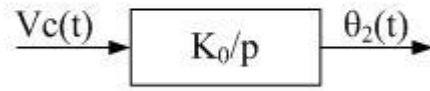


图 4-7 压控振荡器功能模型

## 4.2 锁相环的数学模型

将图4-4、图4-5和图4-7的三个基本环路部件的功能模型按环路的组成次序联接起来，就可构成相位反馈系统的数学模型，如图4-8所示，从图中可以清楚地看出，这个调节系统的给定值是输入信号的相位 $\theta_1(t)$ ，系统受调整值是压控振荡器的输出相位 $\theta_2(t)$ 。因为输出相位能够直接加到鉴相器上进行相位比较，无需反馈网络进行变换，所以它又是一个单位反馈系统。图4-8是明确地表示了环路相位的反馈调节关系，故又称之为环路相位数学模型。

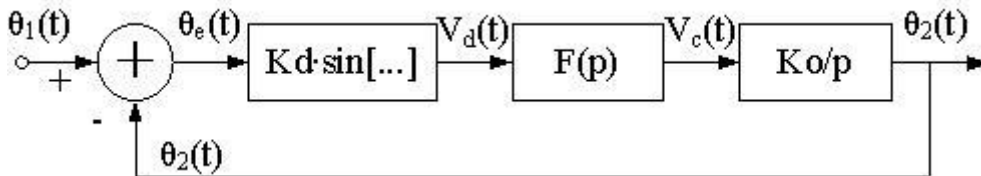


图 4-8 锁相环路的相位数学模型

根据图4-8，结合前面式（4-10）、式（4-12）和式（4-16）可以得到环路的



瞬时相差表示式：

$$\theta_e(t) = \theta_1(t) - \theta_2(t) = \theta_1(t) - K_0 \cdot K_d \frac{F(p) \cdot \sin \theta_e(t)}{p} \quad (4-17)$$

式（4-17）是锁相环路以相位形式表示的环路微分方程，两边对时间 $t$ 求导数并移项可得：

$$p\theta_e(t) + K_0 \cdot K_d \cdot F(p) \cdot \sin \theta_e(t) = p\theta_1(t)$$

令  $K = K_0 \cdot K_d$ ，称之为环路增益，则上式可写为：

$$p\theta_e(t) + K \cdot F(p) \cdot \sin \theta_e(t) = p\theta_1(t) \quad (4-18)$$

式（4-18）是以角频率形式表示的环路微分方程，它概括了环路动态工作时各频率之间的平衡关系。为了分析简便起见，假定输入信号是频率和相位都不变的正弦信号，即为：

$$V_i(t) = V_i \cdot \sin(\omega_i t + \theta_{i0})$$

式中 $\omega_i t$ 和 $\theta_{i0}$ 为不随时间变化的量。根据式（4-4）式输入相位为：

$$\theta_1(t) = (\omega_i - \omega_o) \cdot t + \theta_{i0} = \Delta\omega_o \cdot t + \theta_{i0} \quad (4-19)$$

对式（4-19）两边对 $t$ 求导数，则有：

$$p\theta_1(t) = \omega_i - \omega_o + \theta_{i0} = \Delta\omega_o \quad (4-20)$$

这里 $\Delta\omega_o = \omega_i - \omega_o$ 为输入信号频率与压控振荡器固有频率之差，称为固有频差。

式（4-18）等号左边第一项为：

$$p\theta_e(t) = p\theta_1(t) - p\theta_2(t) = \omega_i - \omega_v = \Delta\omega_e$$

这里 $\Delta\omega_e$ 是输入信号 $\omega_i$ 与压控振荡器输出信号频率 $\omega_v$ 之间的频差称为瞬时频差。

式（4-18）等号左边第二项为：

$$K \cdot F(p) \cdot \sin \theta_e(t) = p\theta_2(t) = K_0 \cdot V_c(t) = \omega_v - \omega_o = \Delta\omega_v$$

这里 $\Delta\omega_v$ 是压控振荡器受控制电压作用之后的瞬时频率 $\omega_v$ 与压控振荡器固有振荡频率 $\omega_o$ 之差，称为控制频差。于是根据以上分析可以得到：

$$\Delta\omega_e + \Delta\omega_v = \Delta\omega_o \quad (4-21)$$

式（4-21）描述了环路动态频率的关系，即任何时候锁相环路都保持：

$$\text{瞬时频差} + \text{控制频差} = \text{固有频差}$$

作为原理分析，环路的数学模型是在没有干扰作用和环内参数为常数的条件下推导出来的，如果需要考虑噪声和干扰的复杂情况（实际情况），环路相位数学模型及微分方程均需作相应的修正，故环路设计必须结合理论分析和实际测试。

### 4.3 锁相环的工作过程

#### 4.3.1 捕获过程

从输入信号加到锁相环路的输入端开始，一直到环路达到锁定的全过程，称为捕获过程。一般情况下，输入信号频率  $\omega_i$  与压控振荡器自由振荡频率  $\omega_o$  不同，即两者之固有频差  $\Delta\omega_o \neq 0$ 。在环路开始工作的瞬间，控制作用还未建立起来，控制频差等于零，因此环路的瞬时频差就等于输入的固有频差。在捕获过程中，依靠锁相环路的相位跟踪作用，会迫使输出信号的相位跟踪输入信号相位的变化。随着控制作用逐渐增强，控制频差逐渐加大。由于固有频差是不变的（在输入固定频率的条件下），根据式（4-21）可知瞬时频差逐渐减小，最后环路的控制作用已迫使振荡频率  $\omega_v$  等于输入频率  $\omega_i$ ，即环路的瞬时频差等于零，而两者的相位差也保持在一个有限的范围  $2n\pi + \varepsilon_{\theta e}$  之内，其中  $\varepsilon_{\theta e}$  是一个很小的量，这个过程就是锁相环路的捕获过程<sup>[2]</sup>。

捕获过程中瞬时相差  $\theta_e(t)$  和瞬时频差  $\dot{\theta}_e(t)$  均随时间变化，典型的变化曲线如下图所示：

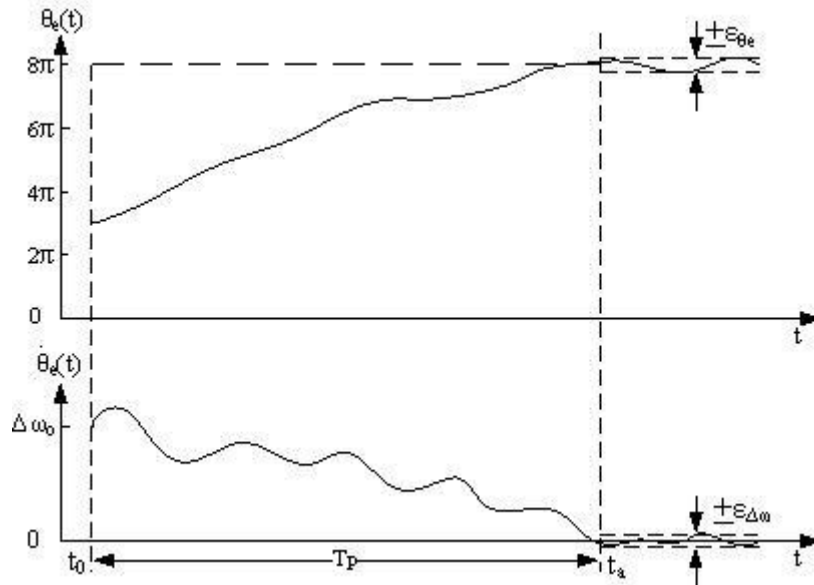


图 4-9 捕获过程中瞬时相差与瞬时频差的典型时间图

可见在经过捕获过程后，瞬时相差在很小的范围内波动，而瞬时频差基本上接近于零，锁相环路进入了所谓的同步状态，或称为跟踪状态。

如图 4-9 所示，从  $t=t_0$  的起始状态到达  $t=t_a$  进入同步状态的全部过程就称为锁相环路的捕获过程，而  $T_p = t_a - t_0$  称为捕获时间。

对于一定的环路来说，是否能够通过捕获而进入同步完全取决于起始频差也即固有频差  $\Delta\omega_0$ ，若超过某一范围，环路就不能捕获了，这个范围就称为环路的捕获带  $\Delta\omega_p$ 。

捕获过程通常包括两个过程：频率捕获和相位捕获。频率捕获时，由于此时压控振荡器输出频率与环路输入频率  $\omega_i$  差距还比较大，因此相位差  $\theta_c(t)$  还要经过  $2\pi$  周期的跳跃从而使压控振荡器的输出频率  $\omega_v$  接近环路输入频率  $\omega_i$ ，完成频率牵引过程；相位捕获时，压控振荡器输出频率已接近了环路输入频率  $\omega_i$ ，认为只进行相位的调整，这个过程相位差  $\theta_c(t)$  已不再发生  $2\pi$  周期的跳跃，所以是快捕进入锁定状态的过程。两个过程在图 4-9 中可以明显的看出来。通常把保证环路只有相位捕获一个过程的最大固有频差值称为快捕带  $\Delta\omega_L$ ，快捕过程所需的时间称为快捕时间  $T_L$ 。

### 4.3.2 锁定状态

当环路进入同步状态之后，环内压控振荡器的输出频率已等于输入信号频率，也就是说输出信号已“锁定”在输入信号上。此时，输出信号与输入信号之间频差等于零，相差等于常数，这种状态就是锁定状态。

对于已经锁定的锁相环路，若再改变其固有频差  $\Delta\omega_0$ ，稳态相差也会随之改变。当  $\Delta\omega_0$  增大到某一值时，环路将不能维持锁定。这个锁相环路能够保持锁定状态所允许的最大固有频差称为环路的同步带  $\Delta\omega_H$ 。

### 4.3.3 跟踪状态

处于锁定状态的环路，输出频率与输入频率相同，两者之间有一稳态相差。在此条件下，若输入信号频率或相位变化，环路通过自身调节来维持锁定状态的过程称为跟踪。跟踪性能是表示环路跟随输入信号频率或相位变化的能力，是指环路到达锁定后所经历的动态特性。

处于跟踪状态的环路，如果在整个工作过程中环路相位差始终比较小，环路可以近似为线性系统，则称环路处于线性跟踪状态。

#### 4.4 锁相环路的线性近似模型

当锁相环路锁定后，瞬态相差  $\theta_e(t)$  总是很小，而且变化也很小，此时的环路近似为线性模型，以正弦鉴相器为例，由式 (4-10)  $V_d(t) = K_d \cdot \sin \theta_e(t)$  可知，当  $\theta_e(t)$  很小时，

$$V_d(t) = K_d \cdot \sin \theta_e(t) \approx K_d \cdot \theta_e(t)$$

显然近似为线性。

则由图 4-8 可知，锁相环路的 s 域线性相位模型为：

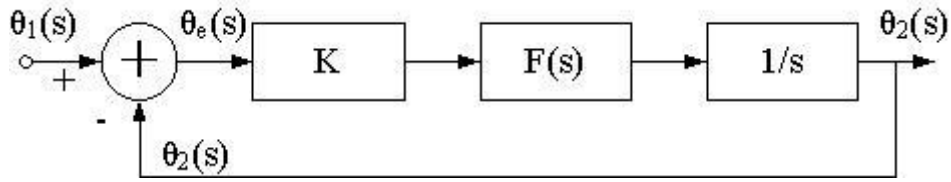


图 4-10 锁相环路的 s 域线性相位模型

根据自动控制理论，环路的闭环传递函数为：

$$H(s) = \frac{\theta_2(s)}{\theta_1(s)} = \frac{K \cdot F(s)}{s + K \cdot F(s)} \quad (4-22)$$

上式中，K 为环路增益，是确定好的常数，所以，环路特性主要由环路滤波器的特性  $F(s)$  决定。

#### 4.5 理想二阶锁相环路特性分析

假设环路滤波器为理想积分滤波器，近似理想积分滤波器的物理构成如图 4-11 所示：

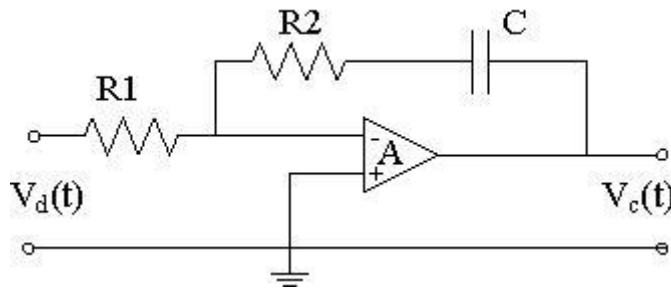


图 4-11 近似理想积分滤波器的物理构成

则其传递函数  $F(s)$  为:

$$F(s) = \frac{1 + s \cdot \tau_2}{s \cdot \tau_1} \quad (4-23)$$

其中:  $\tau_1 = R1 \cdot C$ ,  $\tau_2 = R2 \cdot C$  为时间常数, 为这种滤波器的可调参数。

将式 (4-23) 代入式 (4-22) 可得锁相环的闭环传递函数:

$$H(s) = \frac{s \cdot \frac{K \cdot \tau_2}{\tau_1} + \frac{K}{\tau_1}}{s^2 + s \cdot \frac{K \cdot \tau_2}{\tau_1} + \frac{K}{\tau_1}} = \frac{2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2} \quad (4-24)$$

相位误差传递函数为:

$$H_e(s) = \frac{\theta_2(s) - \theta_1(s)}{\theta_1(s)} = \frac{s^2}{s^2 + 2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2} \quad (4-25)$$

开环传递函数为:

$$H_o(s) = \frac{s \cdot \frac{K \cdot \tau_2}{\tau_1} + \frac{K}{\tau_1}}{s^2} = \frac{2 \cdot \zeta \cdot \omega_n \cdot s + \omega_n^2}{s^2} \quad (4-26)$$

其中:

$$\zeta = \frac{\tau_2}{2} \sqrt{\frac{K}{\tau_1}} \quad (4-27)$$

$$\omega_n = \sqrt{\frac{K}{\tau_1}} \quad (4-28)$$

$\zeta$  为阻尼系数,  $\omega_n$  为无阻尼振荡频率。

从  $H(s)$  和  $H_e(s)$  可以看出, 环路滤波器为理想积分滤波器的锁相环路的线性近似是一个二阶线性系统, 它具有二阶线性系统的一般性能特点; 同时由于它的开环传递函数  $H_o(s)$  在原点处有双重极点, 因此这种锁相环路被称为二阶二型锁相环, 也即理想二阶锁相环。

#### 4.5.1 频率响应

对于理想二阶环, 用  $s = j\Omega$  代入式 (4-24) 可得到它的闭环频率响应函数:

$$H(j\Omega) = \frac{\omega_n^2 + j \cdot 2 \cdot \zeta \cdot \omega_n \cdot \Omega}{\omega_n^2 - \Omega^2 + j \cdot 2 \cdot \zeta \cdot \omega_n \cdot \Omega} \quad (4-29)$$

对式 (4-29) 两边取模并进行变换可得：

$$|H(j\Omega)| = \frac{\sqrt{1 + \left(2\zeta \frac{\Omega}{\omega_n}\right)^2}}{\sqrt{\left[1 - \left(\frac{\Omega}{\omega_n}\right)^2\right]^2 + \left(2\zeta \frac{\Omega}{\omega_n}\right)^2}} \quad (4-30)$$

令式 (4-30)  $|H(j\Omega)| = \frac{\sqrt{2}}{2}$ ，则可得到环路的 3dB 带宽为：

$$\Omega_{3dB} = \omega_n \left[ 2\zeta^2 + 1 + \sqrt{(2\zeta^2 + 1)^2 + 1} \right]^{\frac{1}{2}} \quad (4-31)$$

将角频率转换为频率即可得：

$$\Omega_{3dB} = 2\pi \cdot F_{3dB} \quad (4-32)$$

$$\omega_n = \frac{2\pi F_{3dB}}{\left[ 2\zeta^2 + 1 + \sqrt{(2\zeta^2 + 1)^2 + 1} \right]^{\frac{1}{2}}} \quad (4-33)$$

在 Matlab 中，对理想二阶锁相环在不同的阻尼系数  $\zeta$ ，相同无阻尼振荡频率  $\omega_n = 4$  情况下的频率响应进行了仿真，仿真结果如图所示：

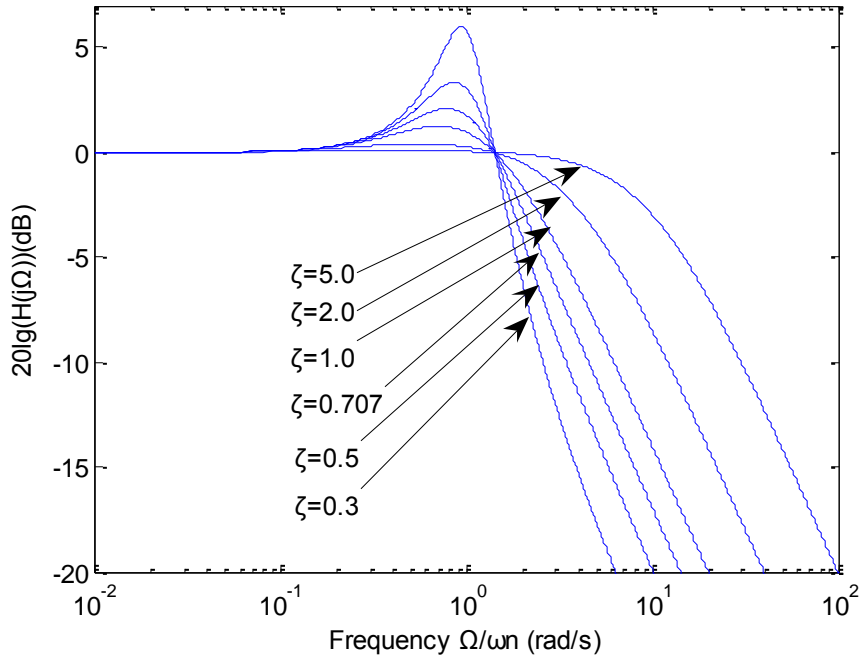


图 4-12 理想二阶环的闭环对数振幅频率响应

#### 第四章 锁相环的基本原理及研究

可以看出，理想二阶环对输入相位来说  $H(s)$  具有低通特性，而且在通带内有一个高于 0dB 的峰值，阻尼系  $\zeta$  越小，其峰值越高。

对式 (4-30) 进行求导可计算出  $|H(j\Omega)|$  峰值的位置式如下：

$$\frac{\Omega}{\omega_n} = \sqrt{\frac{\sqrt{1+4\zeta}-1}{2\zeta}} \quad (4-34)$$

进而可以求得不同  $\zeta$  时的峰值，为了利用方便，用 Matlab 计算后将其列表如下：

表 4-1 理想二阶环路对不同阻尼系数的通带内最大增益

$\zeta$	0.3	0.707	1.0	3.0	5.0	8.0
$ H(j\Omega) $	5.997dB	2.09dB	1.249dB	0.195dB	0.076dB	0.031dB
$\frac{\Omega}{\omega_n}$	0.8974	0.8225	0.7862	0.6590	0.5985	0.5446

在峰值的右侧，所有曲线在  $\Omega/\omega_n = \sqrt{2}$  处相交于 0dB。在  $\Omega/\omega_n > \sqrt{2}$  的范围内，对数振幅响应急剧下降，下降的斜率随  $\zeta$  的不同而不同， $\zeta$  越小下降的越快。

#### 4.5.2 跟踪性能

由于相差  $\theta_e(t)$  在很大程度上反映了环路的状态与性能，所以下面给出了几种比较有代表性的输入信号情况下理想二阶环相差的时间响应。这些信号反映了复杂输入信号的某些特征，因此可以体现理想二阶锁相环的跟踪性能。

当输入信号频率为阶跃函数时，即：

$$\omega_i(t) = \alpha U(t) \quad (t > 0) \quad (4-35)$$

则输入相位随时间的变化为：

$$\theta_i(t) = \int_0^t \omega_i(\tau) d\tau = \alpha t \quad (t > 0) \quad (4-36)$$

对式 (4-36) 作拉氏变换：

$$\theta(s) = \alpha/s^2 \quad (4-37)$$

由终值定理，求得稳定的相位误差：

$$\theta_e(\infty) = \lim_{t \rightarrow \infty} \theta_e(t) = \lim_{s \rightarrow 0} s \cdot \theta_e(s) = \lim_{s \rightarrow 0} s \cdot \theta_1(s) \cdot H_e(s) = 0 \quad (4-38)$$

式 (4-38) 说明，二阶锁相环对基准频率跃变且稳定在某一频率的情况，锁相的最终结果是相位保持一致，当然频率也是一致的。

按同样的分析，对于输入相位阶跃函数时，锁定时稳态相差也为零；对于输入频率随时间呈线性变化时，环路锁定后输入与输出之间有一稳定的相位差。

下面给出了在 Matlab 中绘制的对不同输入信号情况下的误差响应曲线：

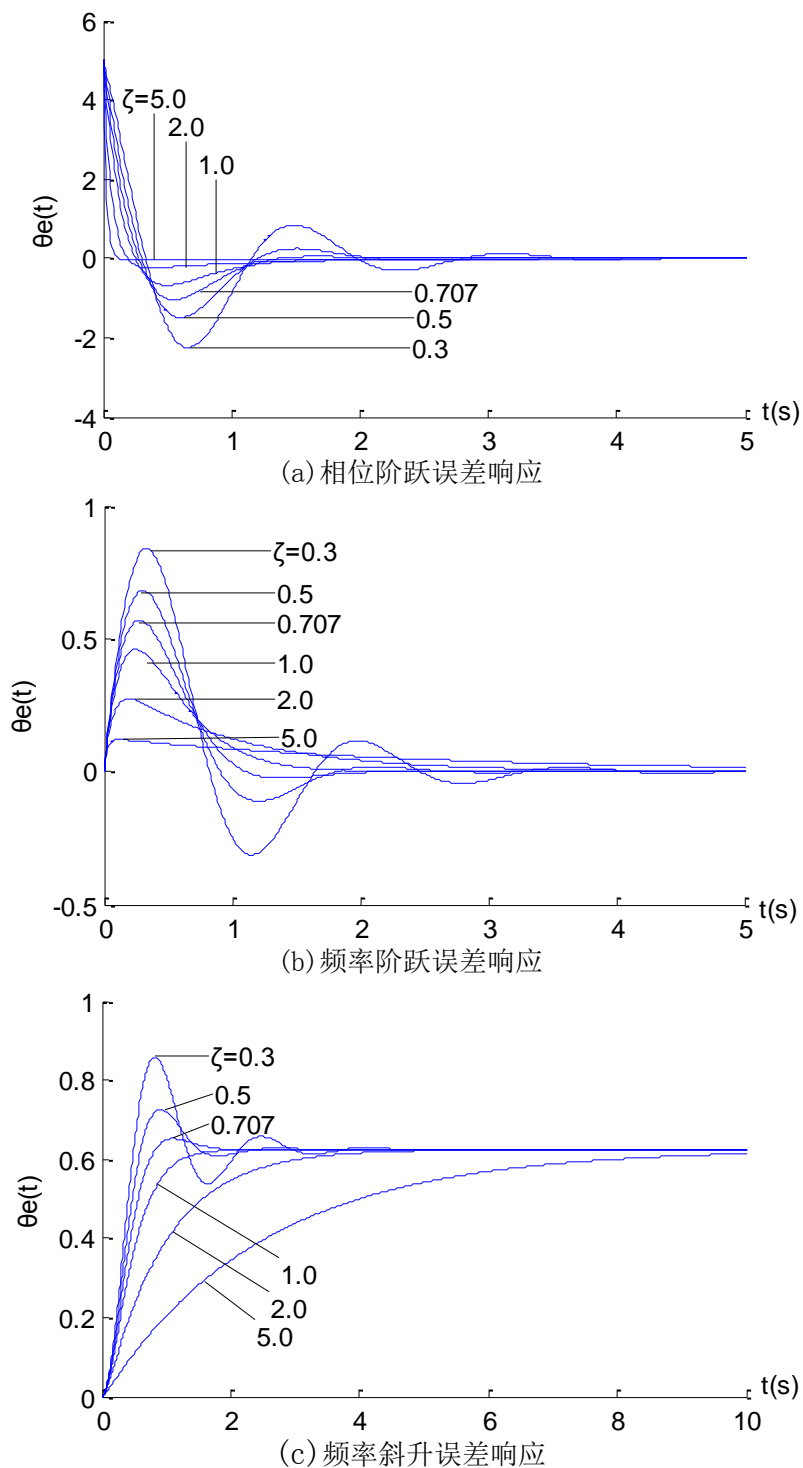


图 4-13 理想二阶环对不同输入的误差响应曲线



图 4-13 的曲线是在参数  $\omega_n=4$  的情况下绘制出的，曲线已经表明了相差的变化趋势，可以看出，阻尼系数  $\zeta$  越小，响应曲线振荡越厉害，稳态相差越不稳定。

下面是对三种情况理论分析所得稳态相差的总结：

表 4-2 理想二阶环路对不同输入信号的稳态相差

输入信号	相位阶跃	频率阶跃	频率斜升
稳态相差	0	0	$\frac{R}{\omega_n^2}$

表 4-2 中  $R$  表示在输入信号是频率斜升情况下的斜升斜率。在图 4-13 中的仿真参数为  $\omega_n=4$ ， $R=10$ ，前两种情况稳态相差为零，与图(a) 和(b)相符，对于第三种情况，按照表 4-2 中的稳态相差计算式可得  $\theta_e(\infty)=0.625$ ，而从图 4-13(c)中也可以读出稳态相差也为 0.625，可以发现仿真曲线与前面理论分析相一致。

从上面分析可见，理想二阶环路的跟踪性能比较好，环路锁定后，当输入信号频率稍有变化时，VCO 的频率立即发生变化最终使 VCO 输出频率与环路输入频率相等，而且稳态相差也保持在很小的范围之内。

### 4.5.3 捕获性能

我们对环路的要求是环路能够更快更准的进入锁定状态，为了获得比较满意的性能，人们根据多年的工程经验已经获取了一些捕获特性的经验计算式：

$$\text{快捕带: } \Delta\omega_L = K \cdot \frac{\tau_2}{\tau_2} = 2 \cdot \zeta \cdot \omega_n \quad (4-39)$$

$$\text{捕获带: } \Delta\omega_L = 2\sqrt{K \cdot \zeta \cdot \omega_n} \quad (4-40)$$

$$\text{最大快捕时间: } T_{L\max} \approx \frac{5}{\zeta \cdot \omega_n} \quad (4-41)$$

在设计环路时，尤其是数字锁相环的设计时，我们总是会采用一些辅助捕获算法，以使起始频差落于快捕带内，来实现环路的快速锁定<sup>[6]</sup>。

为改善环路捕获性能，总希望捕获带越宽越好，捕获时间越短越好<sup>[2]</sup>。宽的捕获带可以有很大的捕获范围，短的捕获时间可以使环路快速锁定。

下面是在 Matlab 下对捕获时的性能进行分析，如图 4-14 所示为在 Matlab 下仿真出来的理想二阶环路闭环传递函数在单位阶跃输入情况下的输出时间响应，这种系统响应也被称为暂态过程。在图 4-14 中，上图为在相同阻尼系数  $\zeta=0.707$  情况下对不同无阻尼振荡频率  $\omega_n$  的暂态过程；下图为在相同无阻尼振荡频率  $\omega_n$

$\omega_n=4$  情况下, 对不同阻尼系数  $\zeta$  的暂态过程。

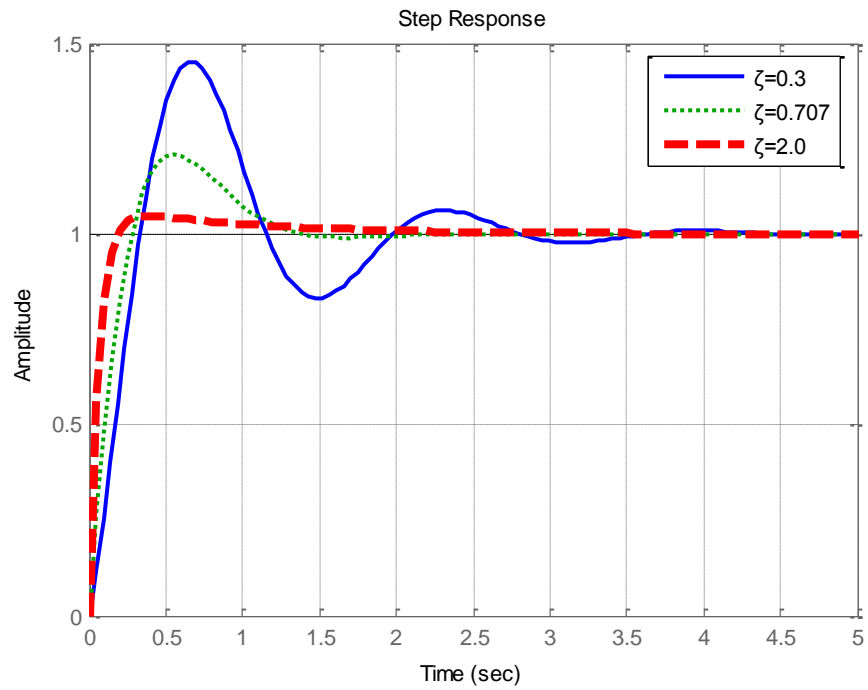
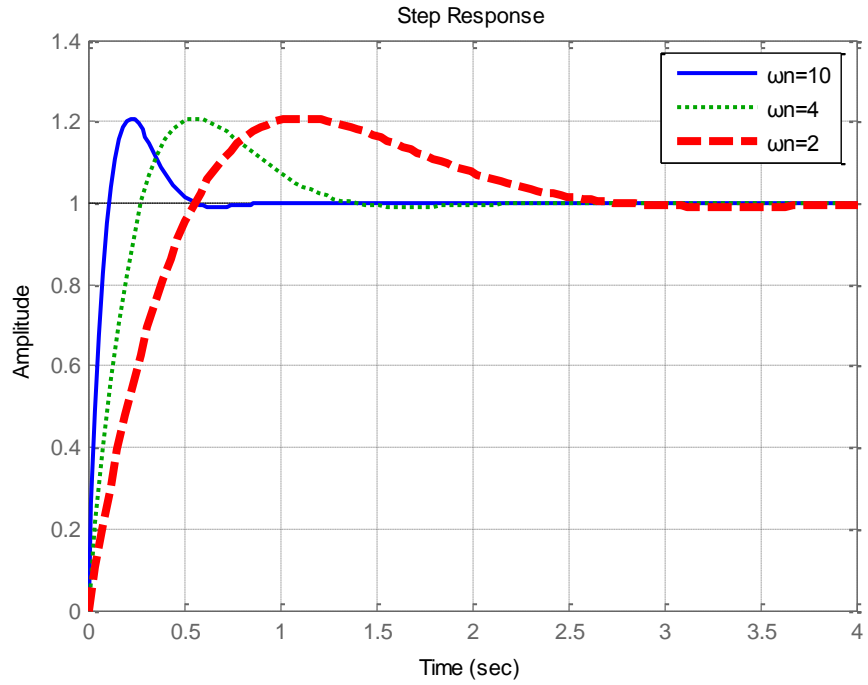


图 4-14 理想二阶环路闭环传递函数的暂态过程

可以看出阻尼系数  $\zeta$  越小，则过冲量越大，即振荡特性越强，过冲量由  $\zeta$  唯一决定，它反映环路从捕获到相位跟踪的暂态过程的衰减程度。当  $\zeta < 1$  时过冲量比较明显，振荡特性较强，有利于迅速减少稳态相差。当  $\zeta > 1$  时环路暂态过程变化比较平稳，有利于减小稳态相差的摆动。由图可以看出  $\omega_n$  越大，暂态过程达到稳定的时间越短，因此  $\omega_n$  反映了捕获时间的长短， $\omega_n$  越大捕获越快，这也恰恰反映了式 (4-41)。

## 4.6 本章小结

本章从最基本的锁相环路构成开始，详细介绍了锁相环的基本原理和一些重要概念；推导了锁相环的数学模型和线性相位模型，并对此模型进行了分析，在此基础上对锁相环的工作过程做了深入的讨论，从分析中发现锁相环路具有良好的性能。

针对理想二阶锁相环，由于这种环路是一种非常常用的锁相环路，而且本论文后续设计也采用的是理想二阶锁相环，因此本章深入研究了理想二阶锁相环的各种特性，并对环路的重要性能进行了 Matlab 下的仿真，理论和仿真都表明，理想二阶锁相环具有很好的捕获和跟踪性能。

## 第五章 锁相跟踪功能模块的详细设计及实现

前两章分别介绍了时钟板的主要功能模块和锁相环的基本原理，以此为基础，本章正式进入时钟板主要功能的设计工作——锁相跟踪功能模块的设计，这个功能模块是整个时钟板的核心部分，SDH 网络的同步和系统时钟的供给都要由这个模块来完成，随着 SDH 网络的大量应用以及其速度不断提高，SDH 设备时钟功能越来越重要，其性能将直接影响 SDH 网络的稳定性和可靠性<sup>[7]</sup>，因此设计良好的锁相跟踪功能模块是非常重要的。

### 5.1 锁相跟踪功能模块设计原则

根据第三章对时钟板功能的介绍，本功能模块的核心部件就是锁相环，利用锁相环的特性来跟踪同步网的定时基准时钟，并消弱定时基准时钟在传输过程中产生的抖动和漂移等损伤，来实现网络的同步功能<sup>[7]</sup>。而且根据同步网的工作模式要求，当所有外部定时基准信号都不可用时，设备时钟应工作在自由振荡模式，可以通过内部晶体振荡器来实现高稳定的时钟输出。同时，为了更好地抑制噪声，G. 813 规范要求时钟模块锁相环的带宽在 1~10Hz 之间，通带内的相位增益不高于 0.2dB。而且作为三级时钟，G. 813 规范还规定了锁相环路的频率牵引范围至少要为  $\pm 4.6 \times 10^{-6}$  ( $\pm 4.6$  ppm)<sup>[8]</sup>。

根据 G. 813 规范的要求和 SDH 设备功能的要求，锁相跟踪模块应具有以下功能：

- 具有对8kHz基准源快捕、跟踪和保持的功能；
- 可以导出8kHz时钟作为时钟导出功能模块的基准源；
- 采用压控恒温晶体振荡器，满足G. 813 的指标要求；
- 提供一路77.76MHz的时钟输出，为系统其他设备使用；
- 模块有四种工作方式，以满足同步网的工作模式要求：
  - 1、捕获模式；
  - 2、跟踪模式；
  - 3、保持模式；
  - 4、自由振荡模式。

## 5.2 锁相跟踪功能模块的设计原理

根据设计原则，锁相跟踪功能模块的设计基础就是锁相环的基本原理，因此本模块的设计主要是对锁相环的设计和应用。我们采用上一章介绍过的理想二阶锁相环，因为这种环路技术成熟，在电子通信领域已得到了广泛的应用，而且据上一章数学分析和 Matlab 仿真，这种锁相环路各种性能比较良好。

随着集成电路之 FPGA (Field Programmable Gate Array) 技术的发展，为数字锁相环路的研究与应用提供了广阔空间。与传统的模拟锁相环相比，数字锁相环具有调整精度更高、工作稳定可靠、环路参数可以编程可调、调试简单以及移植性强等优点。因此，结合 SDH 时钟设备的要求，在实际的时钟板应用中我们采用了捕获带很窄的理想二阶数字锁相环，数字锁相环与第四章锁相环原理介绍的模拟锁相环结构是一样的，也由鉴相器、低通滤波器和压控振荡器组成，但是其鉴相器和低通滤波器都是数字化实现的。

采用数字化的鉴相器可以省去 A/D 转换，而且可以通过 FPGA 来可编程实现，这样更容易对鉴相特性进行可编程调整，而且数字鉴相器可以和数字化的低通滤波器相协调工作。

环路滤波器我们采用了 CPU 控制的软件滤波算法，这是因为 G. 813 规范要求 SDH 设备锁相环带宽为 1~10Hz，用模拟滤波很难做到这样；而且采用数字滤波处理后，在锁相环的捕捉和跟踪阶段我们可以在软件算法里方便地进行控制实现选用不同的参数，也就是实现了可变参数的锁相环，这样使得锁相环路能有更好的跟踪和滤波性能。

为了实现在自由振荡模式下，时钟模块依然有高稳定的时钟输出，压控振荡器采用压控恒温晶体振荡器 (VCOCXO)，由于其是恒温的，输出更加稳定。根据设计要求，本功能模块采用输出为 77.76MHz 方波的压控恒温晶体振荡器，经过分频器分频至 8kHz 然后与输入 8kHz 基准时钟源进行鉴相比较，构成锁相环路。

可见压控恒温晶振是一个模拟器件，而低通滤波算法是由 CPU 控制的，因此其输出的控制值是数字的，因此他们之间需要进行数模转换，需要增添一个 D/A 转换器作为锁相环路的一部分，而且 D/A 转换器可以控制压控振荡器的输出频率精度。

对于分频器，和鉴相器一样也是在 FPGA 中数字化实现，可见，整个环路有多处用可编程实现或软件实现，设计良好的整体模块具有很好的移植性，可以根据需求在不同的场合进行重复利用，本模块的设计也是基于这个目的进行的。

基于以上的介绍，本模块锁相环路的基本构成可设计成如图 5-1 所示：

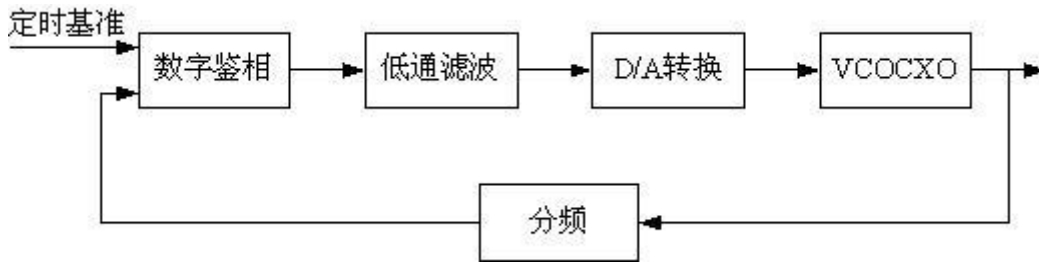


图 5-1 锁相跟踪模块锁相环路框图

锁相跟踪模块的工作原理是这样的：数字鉴相器对由基准源选择功能模块选择出来的 8kHz 定时基准信号和本地 77.76MHz 压控恒温晶体振荡器（VCOCXO）分频产生的 8kHz 信号进行数字鉴相，产生的鉴相值以中断方式送至 CPU 控制的低通滤波算法，以滤除鉴相值中的高频成分，并抑制环路中的输入噪声，然后 CPU 根据当前的鉴相值以及以前保留的状态信息，产生一个对 D/A 转换芯片的控制值，D/A 转换芯片根据当前的 D/A 控制值产生一个控制电压，对 VCOCXO 进行频率的控制，由此构成一个反馈回路，当定时基准的频率以及抖动漂移性能在一定范围之内时，最终本地 VCOCXO 能同步于定时基准。

### 5.3 锁相环的具体实现

根据第四章对锁相环线性相位模型的分析以及上一节对锁相跟踪功能模块的锁相环路原理分析，实际上我们使用的理想二阶锁相环路的结构图如下：

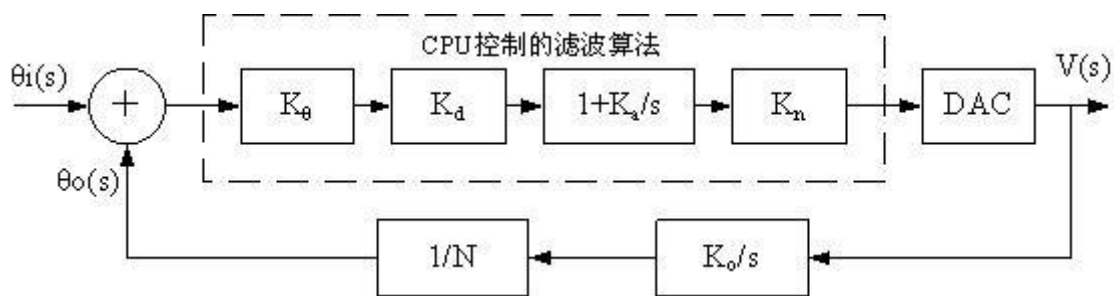


图 5-2 锁相跟踪模块锁相环路具体实现

图中， $K_\theta$  为数字鉴相器的相差计数输出值至相位差的转换系数； $K_d$  为鉴相灵敏度，即单位相位差应输出的控制电压； $K_a$  为环路滤波器的参数； $K_n$  为压控振荡器 VCO 控制电压数字化转换系数，即将 VCO 电压转换为 DAC 的数字化电压值； $K_o$  为 VCO 的压控灵敏度，即单位控制电压所引起的 VCO 频率变化； $N$  为分频系

数，即由 VCO 振荡频率到鉴相器频率的分频倍数。下面对图 5-2 中的各个部分进行详细的解释和说明。

### 5.3.1 数字鉴相器的设计

鉴相器对 8kHz 基准时钟和 8kHz 本振信号进行鉴相，生成两者时钟上升沿之间的相位差脉冲。两个信号都是方波信号，信号的相位比较示意图如下<sup>[9]</sup>：

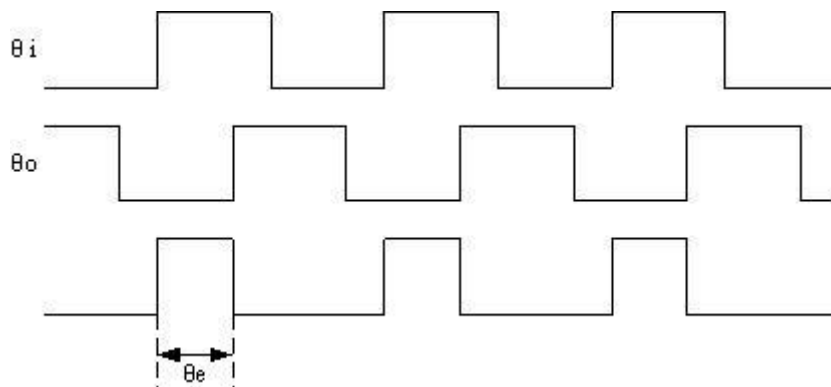


图 5-3 鉴相器相位比较示意图

数字鉴相器的工作原理就是对相位差  $\theta_e$  进行量化，即将两个信号的相位差转化为数字脉冲的宽度，在脉冲宽度  $\theta_e$  期间内用高速计数时钟采样计数；计数原理如图 5-4 所示，在相位差脉冲的计数区间内用计数时钟 CLK 的上升沿来计数：

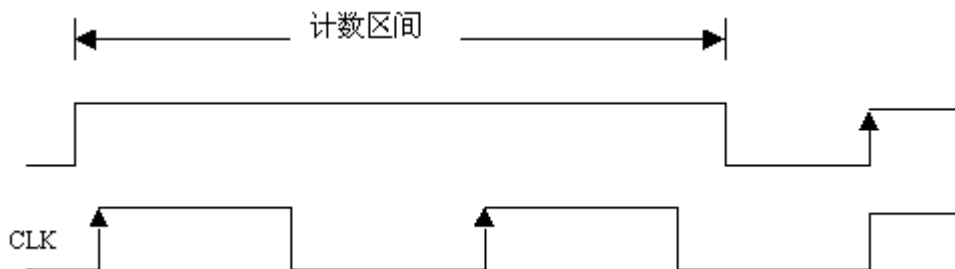


图 5-4 计数时钟对相差计数示意图

图中所示相当于相差计数值为 2，计数值的大小反应了脉冲的宽度，这实际上是用计数时钟的周期为单位来测量脉冲的宽度。为了提高鉴相精度，计数时钟的频率一般都比鉴相的标称时钟频率高出数倍，若参与锁相的两个信号的标称频率为  $f_0$ （一个周期的相位为  $2\pi$ ），计数时钟频率为  $f_c$ ，则  $K_\theta$  为：

$$K_\theta = \frac{2\pi \cdot f_0}{f_c} \quad (5-1)$$

$K_\theta$  的物理意义是单位鉴相计数值代表的相位差，单位 (rad/LSB)。若鉴相计数器得到的鉴相计数值为  $m$ ，则相位差  $\theta_e$  为：

$$\theta_e = K_\theta \cdot m \quad (5-2)$$

实际上，从图 5-4 可以看出，计数频率越高鉴相的精度就越高，由于数字鉴相器是在 FPGA 中实现的，考虑到 FPGA 器件本身的速度问题，计数时钟不可能做的很高。为了提高鉴相精度，我们一般采用时钟的上升沿与下降沿同时计数然后将二者相加，其效果相当与用计数时钟频率的两倍进行计数，鉴相精度提高了一倍，原理如图 5-5 所示：

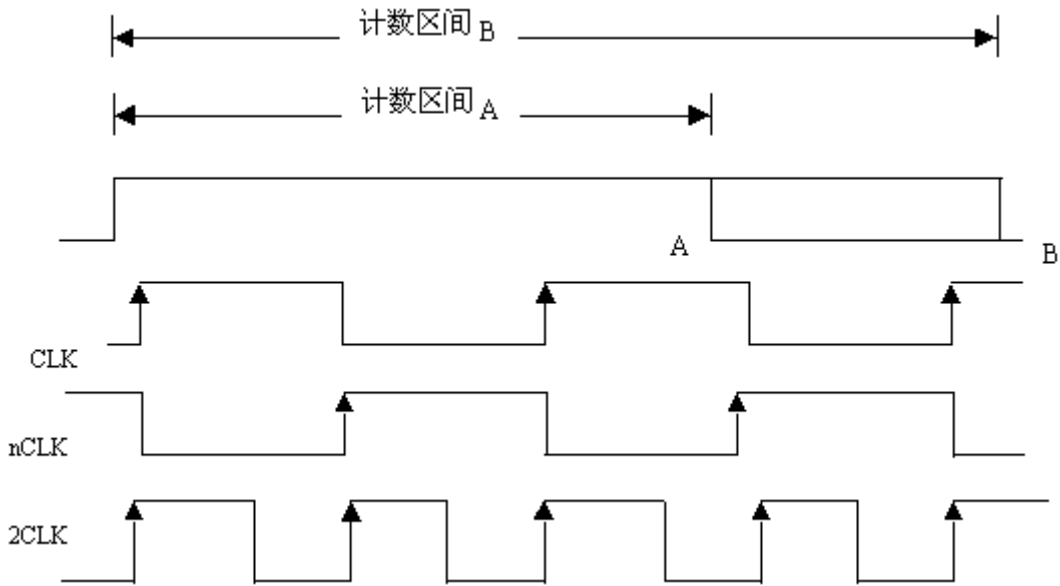


图 5-5 实际的计数时钟上升沿和下降沿同时计数示意图

如图 5-5 所示，在计数区间 A 时，用 CLK 上升沿计数，结果为  $T_{clk}=2$ ，用 nCLK 上升沿（相当于是 CLK 的下降沿）计数值为  $T_{nclk}=1$ ，总的计数值为： $T_{clk}+T_{nclk}=3$ ；在计数区间 B 时，用 CLK 上升沿计数，结果为  $T_{clk}=3$ ，用 nCLK 上升沿计数值为  $T_{nclk}=2$ ，总的计数值为： $T_{clk}+T_{nclk}=5$ 。由此可见，如果用时钟的上升沿与下降沿同时计数然后将二者相加，其效果相当与用频率为 CLK 两倍的时钟 2CLK 进行计数所得到的结果。

### 5.3.2 低通滤波算法的设计

图 5-2 中低通滤波器的传递函数及各种参数转换的算法由 CPU 控制实现。二阶二型锁相环的低通滤波器采用上一章介绍过的近似理想积分滤波器，其传递函



数在上一章式 (4-23) 已经给出，下面对其进行变形：

$$F(s) = \frac{1+s \cdot \tau_2}{s \cdot \tau_1} = \frac{\tau_2}{\tau_1} \left(1 + \frac{1/\tau_2}{s}\right) = K_p \left(1 + \frac{K_a}{s}\right) \quad (5-3)$$

令  $K_p=1$ ，则  $F(s)=1+K_a/s$  即为图 5-2 中的滤波器传递函数，由此可得出其闭环传递函数为：

$$\begin{aligned} H(s) &= \frac{\theta_o(s)}{\theta_i(s)} = \frac{K_d \cdot K_o \cdot F(s)}{s \cdot N + K_d \cdot K_o \cdot F(s)} = \frac{\frac{K_d \cdot K_o}{N} \cdot F(s)}{s + \frac{K_d \cdot K_o}{N} \cdot F(s)} \\ &= \frac{\frac{K_d \cdot K_o}{N} \cdot s + \frac{K_d \cdot K_o}{N}}{s^2 + \frac{K_d \cdot K_o}{N} \cdot s + \frac{K_d \cdot K_o}{N}} \\ &= \frac{2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2}{s^2 + 2 \cdot \xi \cdot \omega_n \cdot s + \omega_n^2} \end{aligned} \quad (5-4)$$

根据上一章锁相环理论，环路增益  $K$  可知为：

$$K = \frac{K_d \cdot K_o}{N} \quad (5-5)$$

此处由于是分频系统，所以上式中有一个分频倍数  $N$ ，式 (5-4) 中，阻尼系数  $\xi$  和无阻尼振荡频率  $\omega_n$  分别为：

$$\xi = \sqrt{\frac{K}{4K_a}} \quad (5-6)$$

$$\omega_n = \sqrt{K_a \cdot K} \quad (5-7)$$

由上两式可得：

$$K_a = \frac{\omega_n}{2\xi} \quad (5-8)$$

$$K = 2 \cdot \xi \cdot \omega_n \quad (5-9)$$

对选定的压控振荡器 VCO 而言，压控灵敏度  $K_o$  为已知，而且 VCO 的振荡频率与鉴相器之间的分频倍数  $N$  也是已知的；而环路增益  $K$  可由选定的  $\xi$  和  $\omega_n$  通过式 (5-9) 来确定，因此由式 (5-5) 可确定鉴相灵敏度  $K_d$ 。

VCO 采用压控恒温晶体振荡器 (VCOCXO)，根据上一章压控振荡器原理的介绍，VCO 输出频率的变化由环路滤波器输出的电压来控制，式 (4-13)：

$\omega_v(t) = \omega_c + K \int y_c(t) dt$  已经明确说明这个过程。

假设 $\Delta\omega$ 是压控振荡器的频率变化范围， $b$  是 D/A 转换器的位数，即 D/A 转换器的分辨率，则压控振荡器的输出频率精度 $\Delta\omega$ 可表示为：

$$\Delta\omega = \frac{\Delta\omega}{2^b} \quad (5-10)$$

由此式可以看出，D/A 转换器的精度决定着压控振荡器输出频率的精度，本设计中使用  $b=16$  位的 D/A 转换器，以获取足够高的输出频率精度<sup>[10][11]</sup>。

压控振荡器有一定的压控范围，D/A 转换器输出电压应与之匹配，即两者的电压范围应该相同，也可通过增加运放来匹配输出电压。设 D/A 转换器的最大输出电压为  $V_{\max}$ ，最小输出电压为  $V_{\min}$ ，则其转换系数  $K_n$  可按以下式计算：

$$K_n = \frac{2^b}{V_{\max} - V_{\min}} \quad (5-11)$$

$K_n$  的物理意义是单位电压需多少个 D/A 转换器的基本量化电压来表示，单位 (LSB/V)。若低通滤波器输出的电压为  $V_c$ ，则  $V_c \cdot K_n$  为  $V_c$  所对应的量化电压，量化电压经过 D/A 转换器转换为可以控制压控振荡器的模拟电压，从而控制压控振荡器的频率变化。

至此，图 5-2 中的所有参数都可以确定。由于  $K_\theta$ 、 $K_d$  和  $K_n$  都在 CPU 控制的滤波算法内，可将三者合并为一项  $K_p$ ：

$$K_p = K_\theta \cdot K_d \cdot K_n \quad (5-12)$$

如果  $\theta_e$  为以鉴相计数值为单位的相位差，则低通滤波器输出的控制电压为：

$$V_{ctl} = K_p \cdot (\theta_e + K_a \cdot S\theta_e) \quad (5-13)$$

式中， $V_{ctl}$  是控制压控振荡器 VCO 的控制电压， $S\theta_e$  是  $\theta_e$  对时间的积分， $K_a$  为积分系数， $K_p$  为比例系数。

由式 (5-13) 可以看出，从整体上来看数字化的滤波算法只要有两个系数  $K_p$  和  $K_a$  就可以了。

### 5.3.3 环路参数选择

#### 5.3.3.1 基本硬件参数

根据前面介绍，我们首先要根据时钟板的具体功能来选定环路硬件的参数：鉴相器的参数、压控振荡器的参数和 D/A 转换器的参数等，这些参数是确定其他

参数的基础。

1. 鉴相器的参数：

鉴相频率：8kHz，记为 PD\_Frequency；

计数脉冲频率：77.76MHz 的计数时钟，由于我们采用了上升沿和下降沿同时计数，计数时钟相当于 155.52MHz，记为 Count\_Frequency；

2. 压控振荡器 VCO 的参数：

VCO 的中心频率：77.76MHz，记为 VCO\_Frequency；

VCO 的电压控制范围：通常是 5V 或 ±5V，记为 VCOWolt\_Range；

VCO 的压控频率范围：±7.5ppm，记为 VCO\_Range；

VCO 的压控斜率方向：±1，方向为正，则为+1；方向为负，则为-1，本设计中采用的压控方向为负，记为 VCO\_Polarity；

3. D/A 转换器的参数：

D/A 的精度范围： $2^{16}$ ，记为 DA\_Range；

D/A 的电压范围：记为 DAVolt\_Range，通常和 VCO 的电压控制范围相同，即：DAVolt\_Range=VCOWolt\_Range；

由以上硬件参数和前面  $K_0$ 、 $K_n$ 、 $K_o$ 、 $K_d$  和  $K_p$  等各个环路参数的计算式可以得出各个环路参数如下：

- 数字鉴相器的相差计数输出值到相位差的转换系数  $K_0$ ，单位：rad/LSB：

$$K_0 = 2\pi \frac{PD\_Frequency}{Count\_Frequency} \quad (5-14)$$

- 压控振荡器控制电压的数字化转换系数  $K_n$ ，单位：LSB/V：

$$K_n = \frac{DA\_Range}{DAVolt\_Range} \quad (5-15)$$

- 压控振荡器的压控灵敏度  $K_o$ ，单位：rad/(s · V)：

$$K_o = 2\pi \cdot \frac{VCO\_Polarity \cdot VCO\_Range}{VCOWolt\_Range} \quad (5-16)$$

- 鉴相灵敏度  $K_d$ ，单位：V/rad：

由式 (5-5) 和式 (5-9) 可得

$$K_d = \frac{K \cdot N}{K_o} = \frac{\zeta \cdot \omega}{\pi} \cdot \frac{VCO\_Frequency}{PD\_Frequency} \cdot \frac{VCOWolt\_Range}{VCO\_Polarity \cdot VCO\_Range} \quad (5-17)$$

- 滤波器的比例系数  $K_p$ ，由  $K_p = K_\theta \cdot K_d \cdot K_n$  可得：

$$K_p = 2 \cdot \xi \cdot \omega_n \cdot \frac{VCO\_Polarity \cdot DA\_Range \cdot VCO\_Frequency}{Count\_Frequency \cdot VCO\_Range} \quad (5-18)$$

提取  $K_t = \frac{VCO\_Polarity \cdot DA\_Range \cdot VCO\_Frequency}{Count\_Frequency \cdot VCO\_Range}$  可得：

$$K_p = 2 \cdot \xi \cdot \omega_n \cdot K_t \quad (5-19)$$

可见  $K_t$  为全部由硬件的特性决定，是软件不可调的量，由以上提供的硬件参数可得： $K_t = -28.0933$ 。

### 5.3.3.2 阻尼系数和无阻尼振荡频率

尽管数字化的滤波算法只关心比例系数  $K_p$  与积分系数  $K_a$ ，但是  $\omega_n$  和  $\zeta$  往往是反映环路特性的直观参数，因此我们分析和设计锁相环路一般都是从  $\omega_n$  和  $\zeta$  开始，然后再根据两者之间的关系进行转换，确定了  $K_p$  和  $K_a$  之后再进行 CPU 软件滤波算法的计算。两者的对应关系在式 (5-9) 和式 (5-13) 中已经明确表示，现重写如下如下：

$$K_p = 2 \cdot \xi \cdot \omega_n \cdot K_t, \quad K_a = \frac{\omega_n}{2\xi}$$

可以看出，阻尼系数  $\zeta$  和无阻尼振荡频率  $\omega_n$  是确定环路特性的关键参数。只要选择适当的  $\zeta$  和  $\omega_n$ ，整个环路的特性可由这两个参数决定。

根据锁相环原理分析，锁相环的工作过程一般要经历捕获和跟踪两种状态，捕获状态通常包括两个过程：频率捕获和相位捕获，由于本设计中引入了高稳定的振荡源——压控恒温晶体振荡器，所以本地振荡器的频率和基准时钟频率非常接近，因此锁相环的捕获过程只有相位捕获即快捕状态，快捕完成后就进入了所谓的锁定跟踪状态。

在上一章我们已经对理想二阶环路的特性进行了详细的分析以及在 Matlab 下进行了仿真。理论和实验分析表明，捕获时为了使环路能够快速捕捉到基准时钟信号，一般都会设计较大的捕获带宽，以加大捕获范围，因此环路带宽也比较宽。而且选择较小的  $\zeta$  和较大的  $\omega_n$ ，通常  $\zeta < 1$ ，取 0.707，因为此时环路通常有比较快速的响应时间和适当过冲量。而跟踪时，为了提高跟踪性能以滤除噪声和外部基准信号在网络节点中所带来的抖动，准确地锁定中心频率，一般都使环路带宽比较窄，而且有较慢的响应时间，以确保相位稳定变化，此时一般选择较大的  $\zeta$  和较小的  $\omega_n$ 。

可见捕获时和跟踪时对环路参数的要求是互相矛盾的，为了设计性能优越的锁相环路，我们往往采用几组参数，以实现锁相环路在不同的工作状态选用不同的参数；由于我们的滤波算法由 CPU 软件实现，可以方便的实现环路参数的切换。

除了以上理论分析基础，环路参数的设计还依赖于其他的要求。

根据第四章锁相环捕获性能的介绍，为了更快地使环路锁定，我们设计环路时最好使环路的起始频差落入快捕带内，由式（4-39） $\Delta\omega_L = 2 \cdot \zeta \cdot \omega_n$  和式（5-9） $K = 2 \cdot \zeta \cdot \omega_n$  可知在理想二阶环路中，环路增益 K 等于快捕带  $\Delta\omega_L$ ，因此，在确定环路参数时最关键的是首先要确定环路的总增益 K 应大于输入频差  $\Delta\omega_0$ 。（即牵引范围）。对于本设计中的时钟属于三级时钟，G. 813 规范规定了其频率牵引范围至少要为  $\pm 4.6 \text{ ppm}$ ，即输入频差  $\Delta\omega_0 = \pm 4.6 \text{ ppm}$ ，在设计时必须要有 10% 的余量，则：

$$K = 2 \cdot \omega_n \cdot \zeta > 2\pi \cdot \frac{77.76 \times 10^6 \times 10.12 \times 10^{-6}}{N} = 0.5087$$

式中 N 为分频倍数，本设计中为  $N = 77.76 \text{ MHz} / 8 \text{ kHz} = 9720$ ，根据理想二阶环路的频率响应特点，在快捕时， $\zeta$  通常取 0.707，因此可以算出  $\omega_n > 0.3596 \text{ rad/s}$ 。

跟踪时环路参数的选取还要依据 G. 813 规范，由于 G. 813 规范规定锁相环路通带内的相位增益不高于 0.2dB，根据表 4-1 不同阻尼系数所对应的最大增益，可以看出正常锁定跟踪时  $\zeta$  理论值要大于 3，一般选 8~12。同时 G. 813 规范还规定了锁相环路的带宽为 1~10Hz，根据第四章式（4-33），现重写如下：

$$\omega_n = \frac{2\pi F_{3dB}}{\left[ 2\zeta^2 + 1 + \sqrt{(2\zeta^2 + 1)^2 + 1} \right]^{\frac{1}{2}}}$$

有了合适的  $\zeta$  和 3dB 带宽，我们就可以得到相应的  $\omega_n$ 。

以上就是对参数  $\zeta$  和  $\omega_n$  的初步估算，许多经验表明环路最佳参数值都是在初步估算的基楚上经过反复的试验后确定的，甚至最佳参数值和理论值存在一定的偏差。因此，我们通过精细调试并根据环路性能对参数做适当权衡后，最终得出了以下一系列参数：

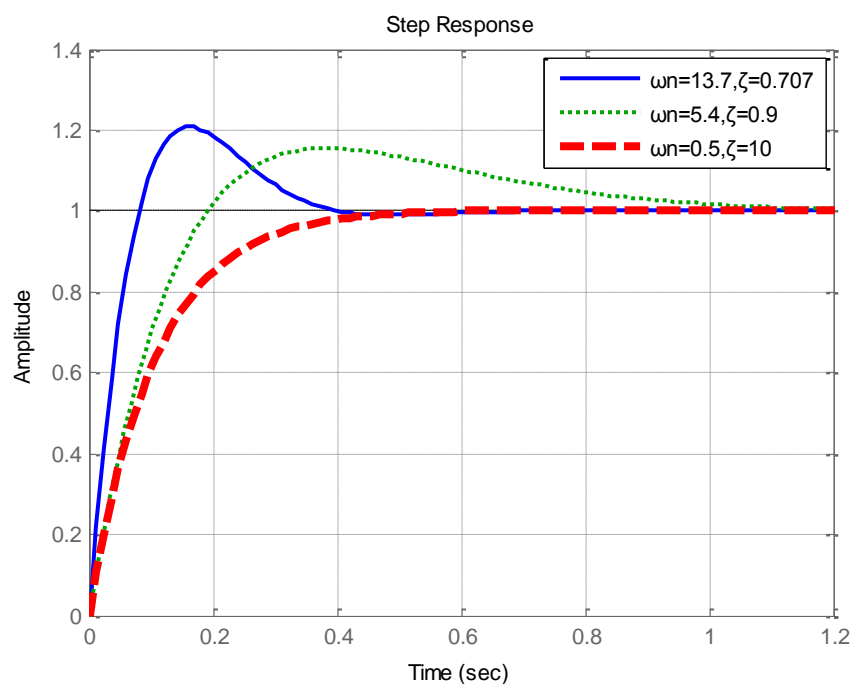
表 5-1 最终环路参数

	$\omega_n$	$\zeta$	$F_{3dB}$	$K_p$	$K_a$
快捕	13.7385	0.707	4.5	-545.75	9.7161
慢捕	5.3956	0.9	2.0	-272.84	2.9976
锁定	0.522	10	1.5	-236.96	0.029

我们把捕获状态分为快捕和慢捕两个阶段，是因为在捕获时相位差都比较大，而跟踪时相差很小接近位零，增加一个慢捕主要是为了平滑地实现从快捕到锁定的切换，以减少切换过程中所带来的相位抖动。

### 5.3.3.3 对环路参数的仿真

对于已经设计好的参数，对其做一下 Matlab 下的特性分析是很有必要的，因为从中可以看出参数是否符合我们的设计要求。下面就是对我们已经设计好的三种状态环路参数在 Matlab 下绘制的特性图：



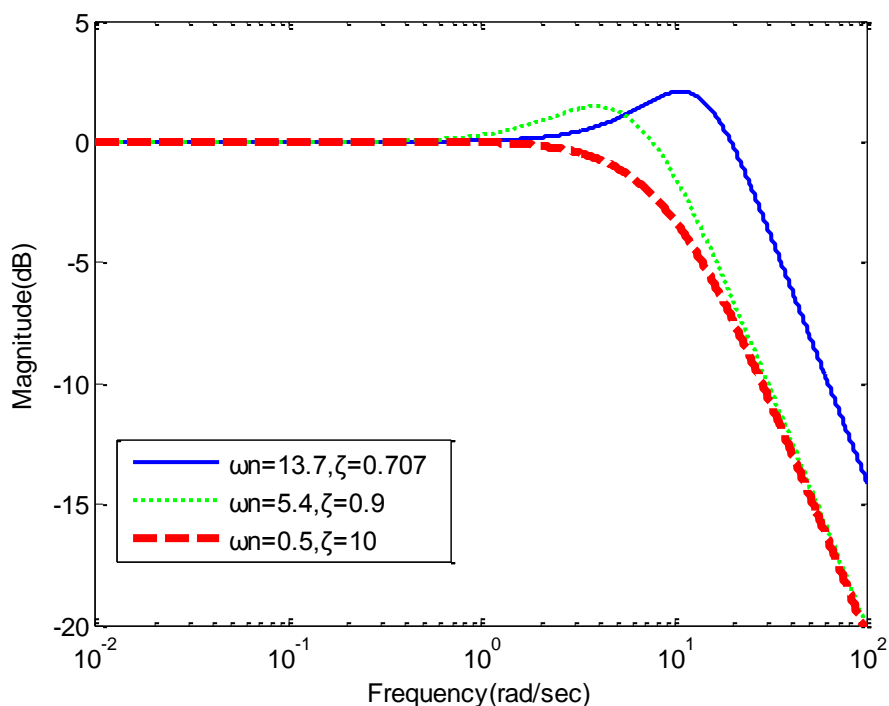


图 5-6 三种环路参数的暂态响应和频率响应图

从图中可以看出快捕时有较快的捕获时间，锁定时有很窄的带宽，较慢的响应时间，而慢捕恰好介于快捕和锁定之间，很好的对快捕到锁定进行了过渡，与我们的设计目标非常相符。

#### 5.4 锁相跟踪模块的 CPU 软件处理

在时钟板中，软件部分的功能实际上是非常复杂的，它要实现对设备中时钟单元的监测和控制，收集定时源各种告警，负责与网元控制板（NCP）之间的信息交换，执行网管发送来的命令，向网管报告时钟板当前的运行情况；实现对 S1 字节的传递和处理以适应不同组网中时钟同步的应用；还要与硬件一起完成时钟源选择和切换，最终实现时钟锁定、跟踪、保持功能。

而锁相跟踪模块中软件部分主要是在软件中对锁相环进行控制，控制锁相环的滤波算法，控制锁相环的工作状态切换，最终协助硬件完成 SDH 网络中时钟的同步，软件部分设计的好坏将直接影响锁相环的捕获和跟踪性能，是时钟板中的核心功能部分。

在锁相跟踪模块的处理过程中，鉴相器对相位差进行量化后，产生以计数值

为单位的鉴相值，由于鉴相器是由 FPGA 实现的，因此鉴相值存放在 FPGA 内相应的寄存器中，鉴相值是在不断的更新之中，FPGA 会每隔一段时间向 CPU 发出中断信号，来触发 CPU 响应中断并转入到相应的中断服务程序（ISR：Interrupt Service Routine）——即 CPU 的软件滤波算法来读取鉴相值并进行相关处理。因此 CPU 和 FPGA 相关的硬件电路关系如图所示，在 FPGA 中定义了鉴相器的中断输出管脚，直接与 CPU 的中断接收管脚相连，作为 CPU 的外部中断源。

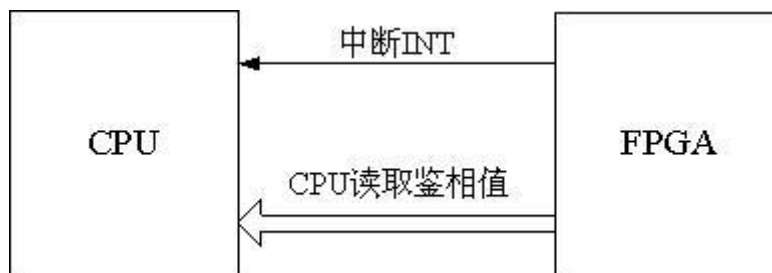


图 5-7 CPU 和 FPGA 的硬件关系

可见对 CPU 软件处理的设计主要包括两个部分：CPU 中断的设计和后续的滤波算法处理设计。软件处理均采用 C 语言来实现。

### 5.4.1 CPU 的中断处理

中断的处理是一个比较复杂的过程，根据 CPU 类型的不同，其处理过程也会有很大的差别，我们的时钟板采用的 CPU 是 Motorola 公司的 MPC852T 处理器，由于它自身的特性，其中断处理过程也比较特殊，下面对其做一些介绍：

#### 5.4.1.1 MPC852T 及其中断简介

MPC852T 处理器是 Motorola 公司的 PowerQUICC（PowerPC Quad Integrated Communications Controller）系列 32 位嵌入式通信处理器，是 MPC860 PowerQUICC 系列的延续。MPC852T 由三个主要模块构成：MPC8xx 内核，即 PowerPC 内核（PowerPC Core）、通信处理模块（CPM：Communication Processor Module）和系统接口单元（SIU：System Interface Unit）。MPC852T 属于双处理器体系结构，嵌入式 PowerPC 内核是主要处理单元，包括高速缓存 Cache 和内存管理单元（MMU：Memory Management Unit），它是一个 RISC（Reduced Instruction Set Computing）芯片，通常开发编译后的程序指令都由它执行；CPM 内部也集成了一个 RISC 微处理器，对各种常用的通信模块进行管理；SIU 主要提供内外总线的接口，及一些其他功能如 SIU 中断管理等。由于 CPM 分担了嵌入式 PowerPC 核的外围工作任务，这



## 第五章 锁相跟踪功能模块的详细设计及实现

种双处理器体系结构极大减轻了CPU的工作负荷，而且功耗也要低于传统体系结构的处理器。因此它被广泛应用在大型通信与实时控制场合，是当前嵌入式系统应用的主流微处理器之一。其系统框图如下<sup>[12]</sup>：

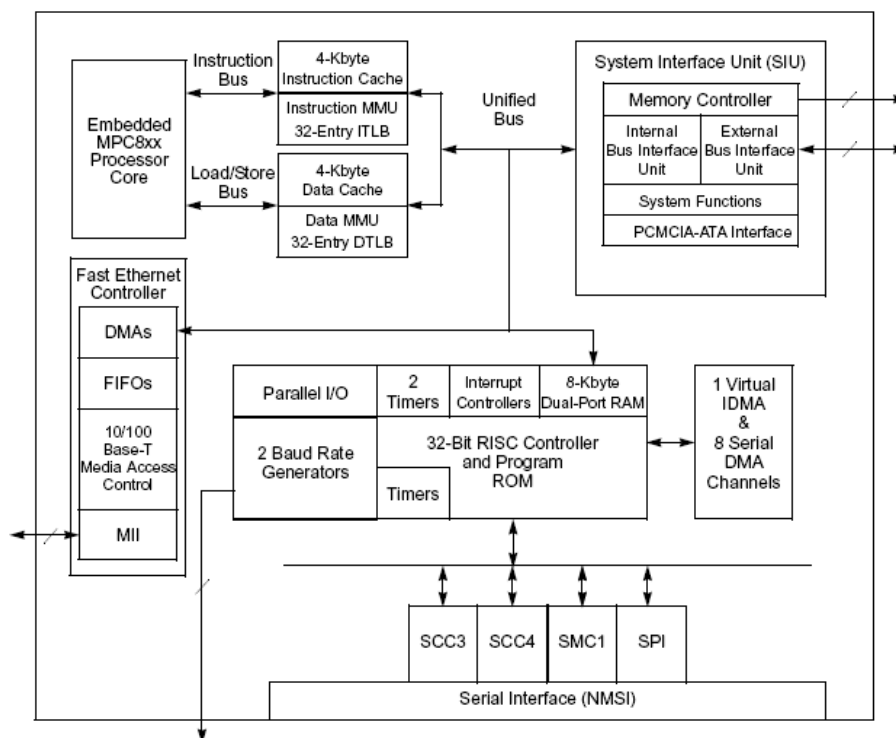


图 5-8 MPC852T 的系统框图

由于MPC852T结构的特点，它的中断处理也比较独特。中断结构也包括三个部分：PowerPC内核、SIU中断控制器（SIU Interrupt Controller）和CPM中断控制器（CPM Interrupt Controller），如图所示<sup>[13]</sup>：

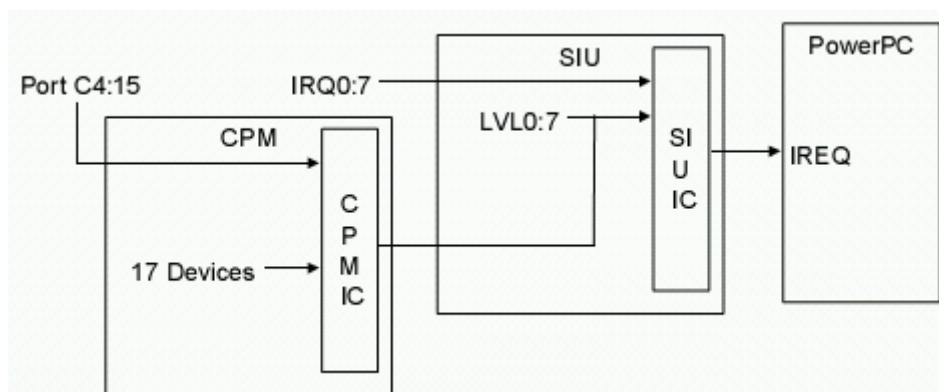


图 5-9 MPC852T 的中断结构

CPM中断控制器对通信处理模块的各个中断进行管理，它接收12个外部中断

源（PortC的12个管脚）和17个内部中断源的中断请求，经过屏蔽和判优处理后，把中断请求送往SIU中断控制器<sup>[14]</sup>。CPM中断控制器为每个中断源分配了一个中断向量号，并且分配了不同的优先级，还可以编程设定哪个中断源为最高优先级。所有的CPM中断在SIU中断控制器中产生的中断向量号都是一样的。

SIU中断控制器是一个关键部分，它负责管理8个外部中断源（IRQ0~IRQ7）和8个内部中断源（Level0~Level7），其中IRQ0一般用作不可屏蔽中断，通过NMI向PowerPC内核请求中断，对于8个内部中断源，包括时间基准（Timebase）、周期性中断定时器（Periodic Interrupt Timer）、PCMCIA和CPM等，用户可以通过对寄存器的操作，把他们设定为Level0~Level7中的任何一级，SIU中断控制器已经设定了这16个中断源之间的优先级，其中IRQ0的优先级最高，Level0其次，IRQ1再次，依此类推，Level7的优先级最低。这些中断源中只可以设置一个向PowerPC内核提出申请。SIU的中断结构如图所示<sup>[15]</sup>：

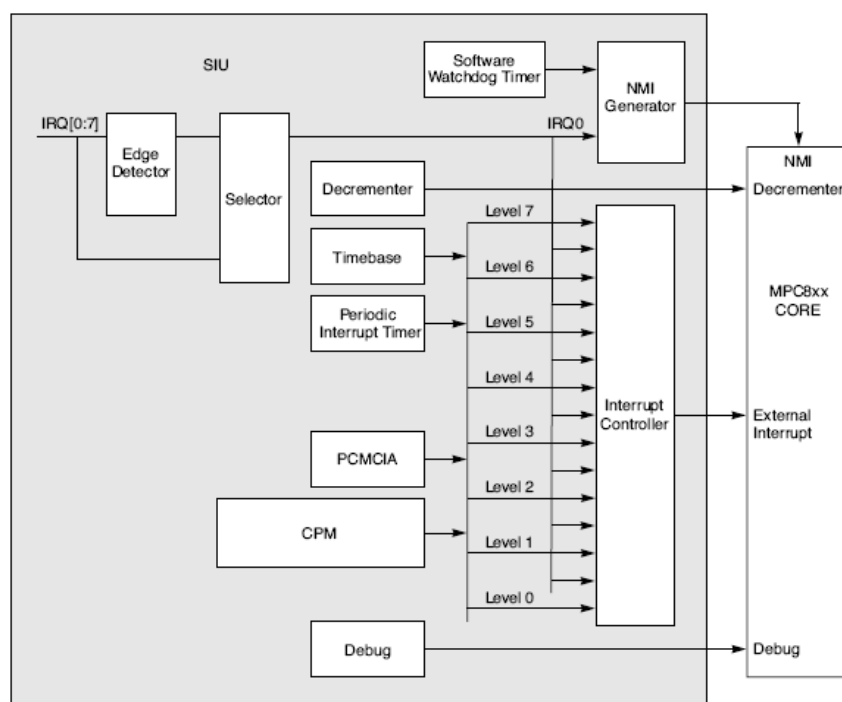


图 5-10 SIU 的中断结构

SIU中断控制器内部有一些重要的寄存器，对应SIU的所有中断源，这些寄存器是可以编程设定的，为我们控制各个中断源的响应方式和屏蔽状态提供了方便。这些寄存器如下<sup>[16][21]</sup>：

1. SIU中断挂起寄存器：（SIPEND: SIU interrupt pending register）

这是一个32位寄存器，但是只使用了其中16位，代表了SIU中断控制器的16个

断源，这个寄存器指出一个特定的中断源是否产生或挂起，如果产生则置相应的位为1。



图 5-11 SIU 中断挂起寄存器

## 2. SIU中断屏蔽寄存器：（SIMASK: SIU interrupt mask register）

这个 32 位寄存器也是 16 位有效，其中每一位对应 SIPEND 寄存器中的一个中断请求位，这个寄存器控制 SIU 中断控制器是否将中断请求传递到 PowerPC 核，举例说，如果 IRQ1 挂起在 SIPEND 寄存器中，为使中断产生，SIMASK 中的 IRM1 位必须置位。

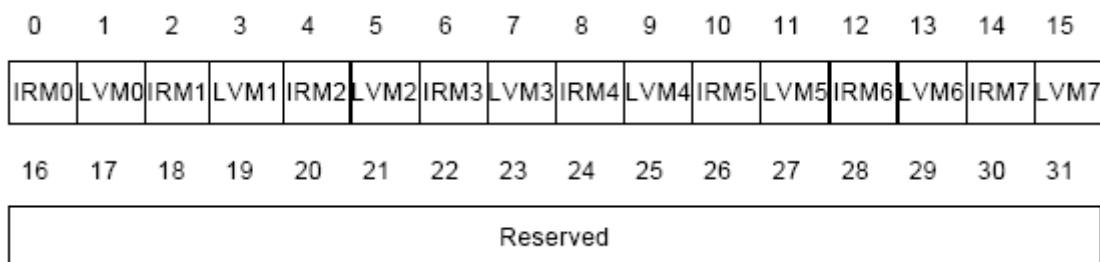


图 5-12 SIU 中断屏蔽寄存器

## 3. SIU中断边沿/电平寄存器：（SIEL: SIU interrupt edge/level register）

这个 32 位的寄存器对应了外部中断 IRQ，其中 16 位有效，每 2 个位对应一个外部中断请求，位定义为“EDx”时可以选择 IRQx 管脚是边沿触发还是电平触发，“WMx”表示唤醒模式，唤醒模式位允许用户选择一个特定的中断是否可以将 MPC860 从低功耗模式唤醒。

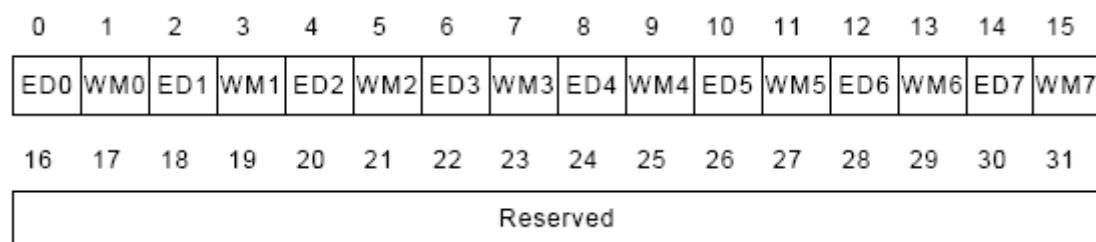


图 5-13 SIU 中断边沿电平寄存器

#### 4. SIU中断向量寄存器：（SIVVEC: SIU interrupt vector register）

这个 32 位的寄存器是只读的，只有前 8 位使用，这 8 位表示一个中断代码（Interrupt Code），定义未被屏蔽的最高优先级的正在请求或挂起的中断，该寄存器允许 PowerPC 内核执行程序来确定可能的 16 个中断源中哪个中断源产生了中断。每个中断源所对应的中断代码已经在 CPU 的内部定义。

0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
Interrupt Code								0	0	0	0	0	0	0	0
16	17	18	19	20	21	22	23	24	25	26	27	28	29	30	31
0	0	0	0	0	0	0	0	0	0	0	0	0	0	0	0

图 5-14 SIU 中断向量寄存器

当中断产生并需要SIU响应，首先要对这些寄存器进行设置和判断：SIU中断控制器设置SIPEND寄存器表示相应的中断产生，然后读取SIMASK寄存器是否将相应的中断请求传递给PowerPC内核，流程如图5-15所示：

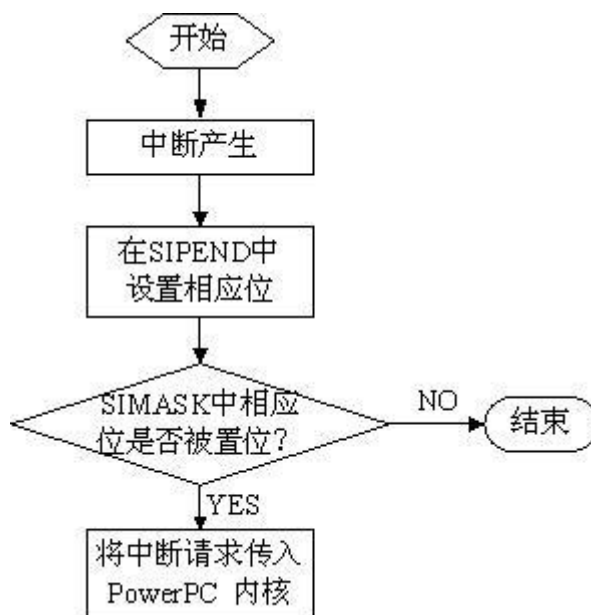


图 5-15 SIU 中断响应流程

PowerPC内核接收到中断请求信号后，保存内核中断现场，即保存关键寄存器到中断堆栈，并设置堆栈入口，然后从SIVVEC寄存器中读取产生SIU中断的中断代码，根据中断代码判断中断源，再跳转到与中断源所对应的中断服务程序中执行，完成中断服务，其处理流程如图5-16所示：

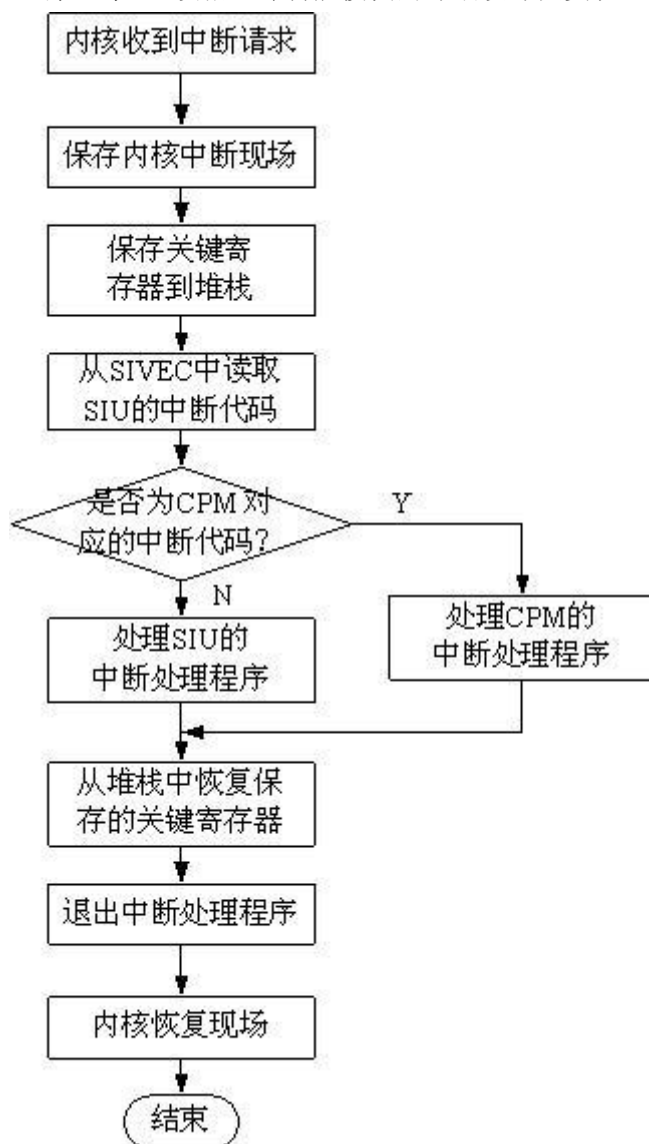


图 5-16 SIU 的中断处理流程

从上述过程中可以看出，MPC852T 处理器的中断处理过程是比较复杂的，如果在没有操作系统的情况下，这些处理过程都需要在我们的软件中来完成。

#### 5.4.1.2 中断的详细设计

在时钟板中，为了提高稳定性和实时性，我们采用了高性能的 pSOS 操作系统，pSOS 操作系统是一个开放的、模块化的、高性能的、高可靠性的、容易使用的、实时、多任务、嵌入式操作系统，在目前的许多嵌入式设备中有着广泛的应用，而且性能优越，支持多种嵌入式 CPU，当然也支持 PowerPC 内核的 MPC852T 处理器。

对于采用了操作系统的单板，中断的大部分处理过程都在底层的 BSP (Board Support Package) 和操作系统中实现，BSP 是板级支持包，是介于主板硬件 CPU 和操作系统之间的一层，应该说是属于操作系统的一部分，主要目的是为了支持操作系统，使之能够更好的运行于硬件主板。BSP 和操作系统提供了处理中断的系统函数和应用程序接口 (API: Application Programming Interface)。

因此在上层软件中，实际中断的处理的设计包括两部分工作：一是编写中断初始化程序，进行中断的初始化；二是核心部分中断处理程序的编写，完成中断服务<sup>[17]</sup>。由前面介绍可知，在本设计中，中断服务程序其实就是我们的软件锁相环的滤波算法，将在后面详细设计说明，这里首先说明中断初始化的设计。

由于 SIU 可以直接响应外部中断，因此在本设计中，我们用外部管脚 IRQ0~7 来响应中断，考虑到 IRQ1 管脚具有独立功能，没有其他复合功能，为了简化中断的设计，因此把 IRQ1 作为我们的中断源。

中断初始化的主要包括两部分工作：

#### 1. 设置 SIU 中断控制器内部寄存器

由于我们使用 IRQ1 作为我们的中断源，我们需要设置中断寄存器中 IRQ1 所对应的位：

- (1) 设置寄存器 SIMASK 的第二位，即如图 5-12 所示的 IRM1 位为 1，表示对产生的 IRQ1 中断使能到 PowerPC 内核；
- (2) 设置寄存器 SIEL 的第二位，即如图 5-13 所示的 ED1 位为 1，表示 IRQ1 的中断为下降沿触发。

#### 2. 连接中断源与中断处理程序

必须把中断源与中断处理程序连接起来，以便中断发生时 CPU 能够正确转入到中断处理程序执行。程序中首先定义了 SIU 中断控制器的各个中断源所对应的中断号，即中断向量号，由于我们只用到了 IRQ1 作为中断源，所以下面就只描述了 IRQ1 相关定义：

```
/* CPM 模块的中断 */
#define CPM_VECT_BASE    0
#define CPM_VECT_END    (0x1F + CPM_VECT_BASE)
/* SIU 的中断源 IRQ0~7 和 Level0~7 所对应的中断向量号 */
#define V_SIU_IRQ1      (SIU_VECT_BASE + 2)
```

因此本设计中我们使用 V\_SIU\_IRQ1；因此需要把 IRQ1 的中断向量号 V\_SIU\_IRQ1 与中断处理程序连接起来，这个操作是调用 pSOS 的系统函数

PssSetIntHandler()来完成的，函数原型如下：

```
ULONG PssSetIntHandler(ULONG Level,
                        void *handler,
                        void *arg,
                        ULONG type)
```

其中输入参数Level是中断向量号，handler是中断处理程序的地址，arg和type是中断参数，一般设为零<sup>[18]</sup>。

由于我们设计的中断处理函数原型为：void pll\_Ext0\_Int(void)，所以此处的系统调用为PssSetIntHandler(V\_SIU\_IRQ1, (void(\*)())pll\_Ext0\_Int, 0, 0)；从而完成对中断处理程序的连接。

### 5.4.2 CPU 的软件滤波算法处理

CPU 响应鉴相器的中断之后就会转入到中断处理程序——滤波算法处理，在整个锁相跟踪功能模块的设计中，CPU 的软件滤波算法处理是最关键的环节，也即软件锁相环算法，算法的好坏将直接影响时钟捕捉的快速性以及时钟跟踪的准确性和快速性<sup>[19][20]</sup>。

由于外部中断优先级很高，频繁中断会影响 CPU 的运行效率，使其他任务得不到充分的运行时间，因此通过 FPGA 来控制外部中断的开关每 10ms 开启一次鉴相中断，进行锁相环滤波算法处理。

由于锁相环滤波算法处理是整个时钟板软件的一部分，因此它是在时钟板软件的控制下完成处理任务的。根据锁相跟踪模块的功能要求和 SDH 同步网的要求，本模块的时钟功能有四种工作模式：捕获、跟踪、保持和自由振荡，锁相跟踪模块正是在时钟板软件的控制下在这四种工作模式下进行相互转换的，在不同的工作模式下，锁相环的软件滤波算法的工作情况是不一样的，下面首先详细说明锁相跟踪模块的工作模式，并说明锁相环的工作情况。

#### 5.4.2.1 锁相跟踪模块的工作模式

锁相环的四种工作模式最大限度地保证时钟板能够持续不断地为系统提供稳定的时钟并且保持整个 SDH 网时钟的同步，下面就详细描述了从时钟板上电开始锁相跟踪功能模块的工作模式转化过程：

一些变量的定义：

```
unsigned char    pll_bLockEn;    /*锁相环使能工作标记*/
```

```
float          pll_KeepDACVal; /*保持模式下的输出电压控制值*/
#define ENABLE    0x01        /*锁相环工作使能打开*/
#define DISABLE   0x02        /*锁相环工作使能禁止*/
```

- 自由振荡模式：

当时钟板刚刚开始上电后，时钟板被初始化为自由振荡模式，在这种模式下，时钟板软件关闭锁相环工作使能：pll\_bLockEn=DISABLE，在这种情况下锁相环实际上是不工作的，只有压控振荡器在工作，由其为系统提供时钟；如果网管没有向时钟板下发设置外部输入时钟源的命令，则时钟板一直处于自由振荡模式。

- 捕获模式：

当网管向时钟板下发设置时钟源命令时，则时钟板的基准源选择功能模块选择最优时钟源，时钟板软件打开锁相环工作使能：pll\_bLockEn=ENABLE，然后锁相跟踪模块进入捕获模式来捕捉被选择出来的时钟源，直至锁相环锁定；如果锁相环在一定的时间内没有捕获成功，则锁相环重新进行捕获，直到锁定为止。

- 跟踪模式：

一旦锁相环锁定，锁相跟踪模块就进入了跟踪模式，此时 CPU 根据鉴相器送来的鉴相值对压控振荡器作微小的调整。如果在调整过程中由于发生异常造成锁相环的失锁，或者网管向时钟板发出更改时钟源的命令，则锁相环会重新进入捕获模式，捕获成功后再次进入跟踪模式。

- 保持模式：

在跟踪过程中，当鉴相值的变化非常小，即锁相环处于非常平稳的跟踪状态时，锁相环软件算法会记录下来此时的 DAC 控制值作为保持模式下 DAC 的控制值：pll\_KeepDACVal；如果由于所有的外部时钟源丢失，以至于锁相跟踪模块没有可利用的有效时钟源时，则锁相跟踪模块就进入保持模式，这种模式下锁相环也被时钟板软件禁止锁相环工作使能：pll\_bLockEn=DISABLE，时钟板软件利用之前记录下来的保持模式下的 DAC 控制值 pll\_KeepDACVal 作为基准直接控制压控振荡器，进行跟踪锁定，并对保持模式的时间进行记录；如果期间时钟源恢复正常或者有可用的时钟源，则锁相环重新进入捕获模式，进行跟踪；如果期间一直没有可用的时钟源而且保持时间超过 24 个小时，则锁相环将进入自由振荡模式。在自由振荡模式下，锁相环又被禁止工作，如果时钟源恢复正常或者有可用的时钟源，则锁相环重新开始工作，进入捕获模式，重复以上过程。

可见时钟板的锁相跟踪模块工作时就是在这四种工作模式之间进行相互转换进行的，最终实现了 SDH 网络的同步功能。图 5-17 所示的就是工作模式转换流程：



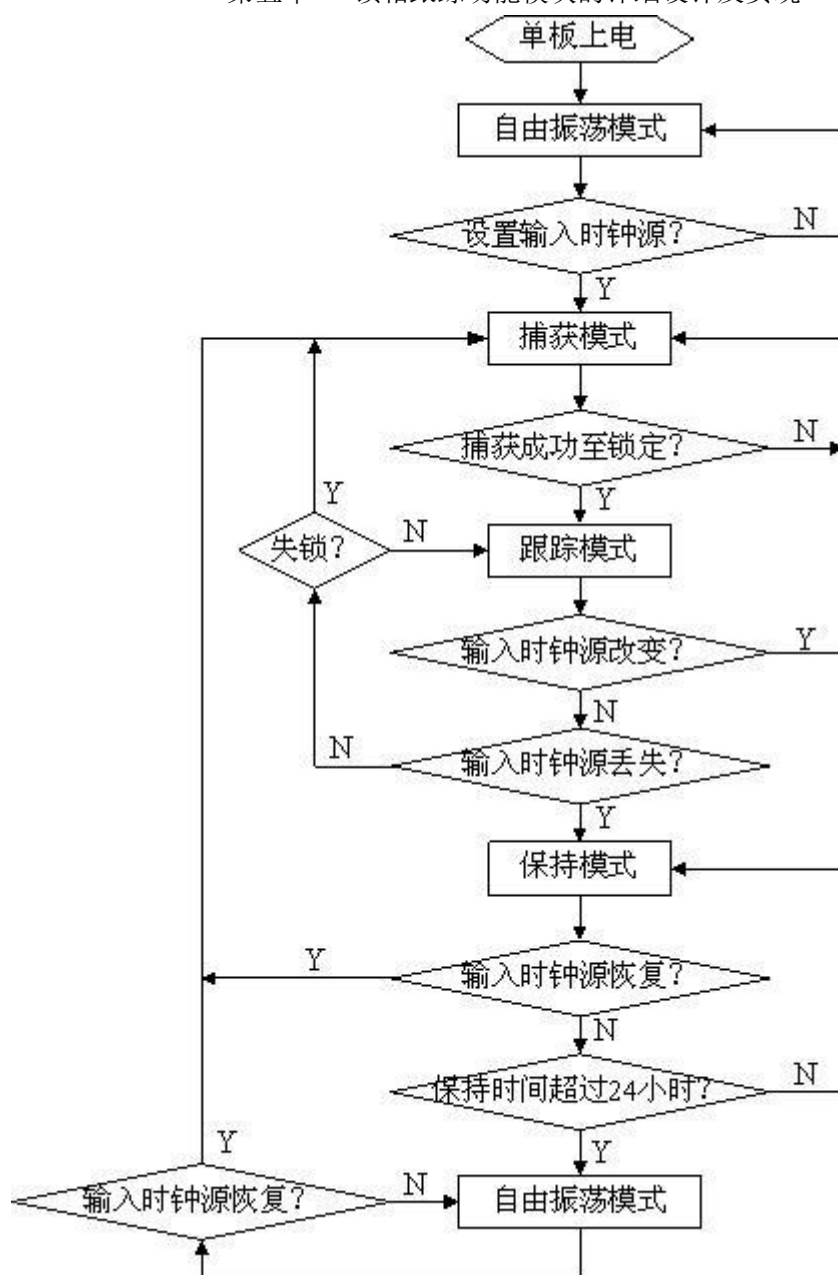


图 5-17 锁相跟踪模块的工作模式转换图

#### 5.4.2.2 滤波算法的整体处理过程

由上面分析，时钟板软件在运行的过程中会实时地根据时钟源的状态驱动锁相跟踪模块进入相应的工作模式，并根据工作模式驱动滤波算法是否工作，如果是自由振荡或保持模式，则设置：pll\_bLockEn = DISABLE；否则就设置：pll\_bLockEn = ENABLE；因此，实际上锁相环只有在捕获和跟踪模式下才是正常工作的。

所以，在滤波算法的开始，即中断的一开始，程序就会判断锁相环是否工作使能，如果使能则进行后续处理，否则就直接退出中断不作任何处理。其详细的处理流程如图 5-18 所示：

程序中定义了一些变量：

```
unsigned char  pll_bStartFlag;      /*锁相环是否开始寻找初始相位标记*/
```

```
unsigned short pll_wStartPDVal;    /*初始时刻鉴相计数值*/
```

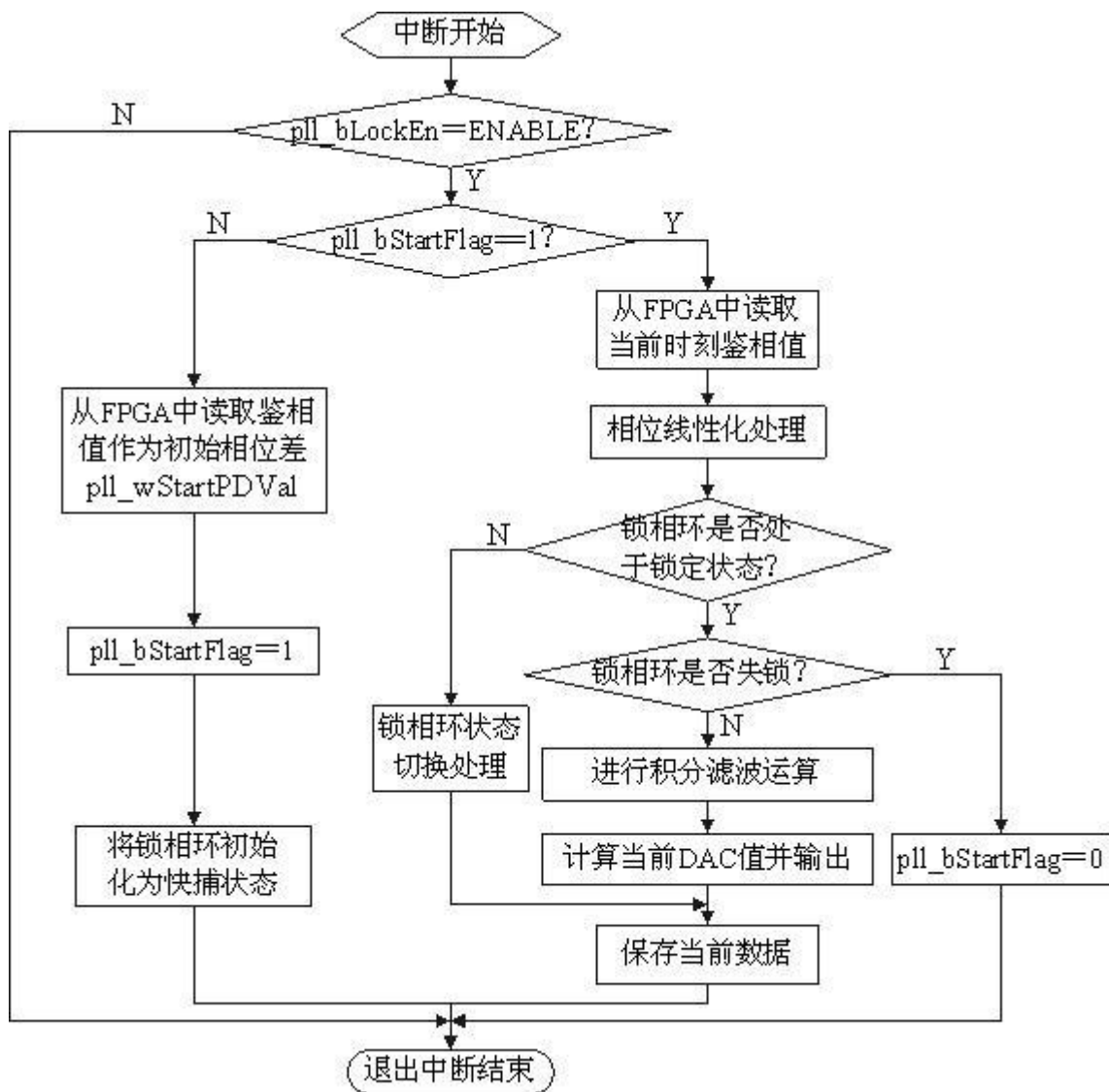


图 5-18 锁相环滤波算法的详细流程图

在锁相环软件处理算法中，我们会从 FPGA 中读取并记录开始锁相时的第一个鉴相值作为初始鉴相计数值  $pll\_wStartPDVal$ ，并把此鉴相计数值作为环路的“零”值，等环路锁定后，鉴相值会回到“零”值，假设初始鉴相计数值为 2000，锁定

后的鉴相计数值也会在 2000 左右，即我们锁相跟踪的目的就是以初始鉴相计数值 `pll_wStartPDVal` 为基准，一直跟踪维持输出时钟频率与输入时钟源频率相同，而相位差保持不变。

标志 `pll_bStartFlag` 被时钟板软件初始化为 0，锁相环正常工作时，程序会根据它的值判定是否需要重新寻找初始相位差进行重新捕获处理，0 表示重新捕获或刚刚开始捕获，此时程序将寻找初始相位差，并将锁相环初始化为快捕状态；1 表示已经获取到初始相位差，不需要重新捕获，此时，程序会首先从 FPGA 中读取鉴相值并进行线性化处理，然后根据锁相环当前的工作状态进行积分滤波运算、计算 DAC 的控制值和锁相环的状态切换处理。

在处理的过程中，如果已获取到初始相位，并且经过捕获达到了锁定，则设置 `pll_bStartFlag = 1`；如果由于异常情况发生造成锁相环失锁，则设置标志 `pll_bStartFlag = 0`，然后在下次中断执行时就会重新寻找初始相位重新捕获。

#### 5.4.2.3 相位线性化处理算法

CPU 从 FPGA 读取鉴相值之后，首先要对鉴相值进行线性化处理，下面就说明进行线性化处理的必要性。由前面鉴相器的原理知道，鉴相器对基准时钟信号和本地分频时钟信号上升沿之间的脉冲宽度进行计数，这样则存在这样两种情况：

- 1、本地时钟滞后输入基准时钟；
- 2、本地时钟超前输入基准时钟；

当鉴相器一直处于种情况，而且鉴相值一直沿着一个方向变化时，则容易产生鉴相值的跃变。如图所示：

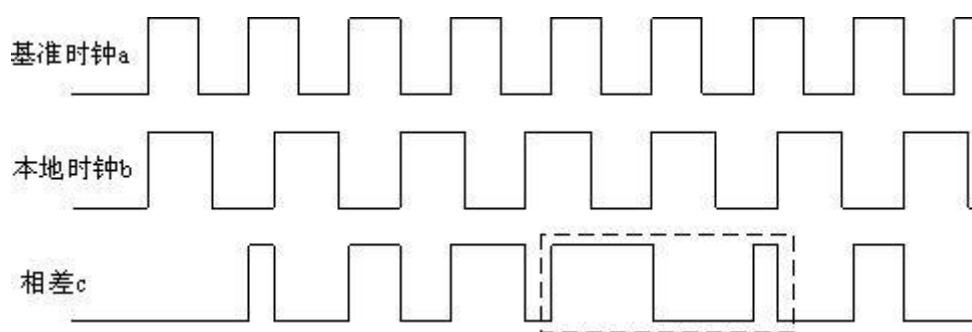


图 5-19 本地时钟滞后输入基准时钟发生负跃变

不难看出，若基准频率高于本地时钟信号的频率时，则信号 b 相对于信号 a 的相位一直会滞后下去，即波形 b 相对于波形 a 向右运动，此种情况即会形成本地时钟滞后于基准时钟；当波形 a 和波形 b 的脉冲上升沿对齐时，鉴相脉冲的宽

度为 0，得到的鉴相计数值也为 0。随着波形 b 的右移，比相脉冲宽度增加，鉴相计数值也增加，直到波形 a 的脉冲上升沿又与波形 b 的脉冲上升沿对齐为止，比相脉冲宽度一下从最大值降至 0，鉴相器出现了非线性，如图 5-19 中虚线所示，鉴相值发生了负的跃变。

相反的情况，如图 5-20 所示，若基准频率低于本地时钟信号的频率时，容易形成本地时钟超前于基准时钟的情况，此时鉴相值将发生正的跃变。

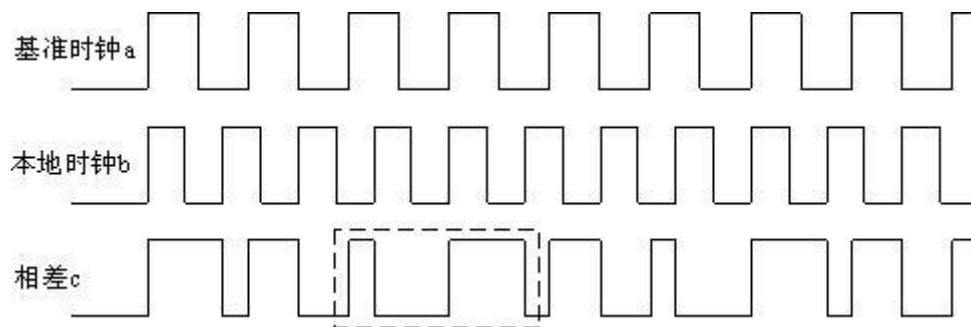


图 5-20 本地时钟超前输入基准时钟发生正跃变

从上述分析可见，由于鉴相器在 0 和  $2\pi$  处存在模糊区会使相位值产生跃变，而我们锁相环的滤波算法是在线性模型下建立的，只有当鉴相器是线性时才能准确描述，有关线性系统的结论才能成立。所以我们必须对这种鉴相值跃变的情况进行线性化处理，线性化处理可以提高环路的线性范围，改善环路性能，是对软件算法的优化，这个处理过程就是在软件算法中完成的，下面详细说明线性处理的过程：

程序中定义了一些线性化处理相关变量：

```
unsigned short  pll_wOldPDVal;    /*前一时刻鉴相计数值*/
unsigned short  pll_wCurPDVal;    /*当前时刻鉴相计数值*/
signed int      pll_DeltPD;        /*当前时刻与前一时刻鉴相差计数值*/
```

在鉴相器的设计中，鉴相计数频率是 77.76MHz，比相频率是 8kHz，由于我们的鉴相计数是在计数时钟的上升沿和下降沿同时计数的，因此在比相频率的半个周期内鉴相计数为 9720，我们把这个值作为线性化处理的模值。在处理时，计算当前时刻与前一时刻鉴相差计数值 `pll_DeltPD`：

```
pll_DeltPD = pll_wCurPDVal - pll_wOldPDVal;
```

如果 `pll_DeltPD` 大于 9720，根据图 5-20 所示，一定是发生了正跃变；如果 `pll_DeltPD` 小于 -9720，根据图 5-19 所示，一定是发生了负跃变，在这两种情况下，均需要做线性化处理。线性化处理的详细流程如图 5-21 所示：

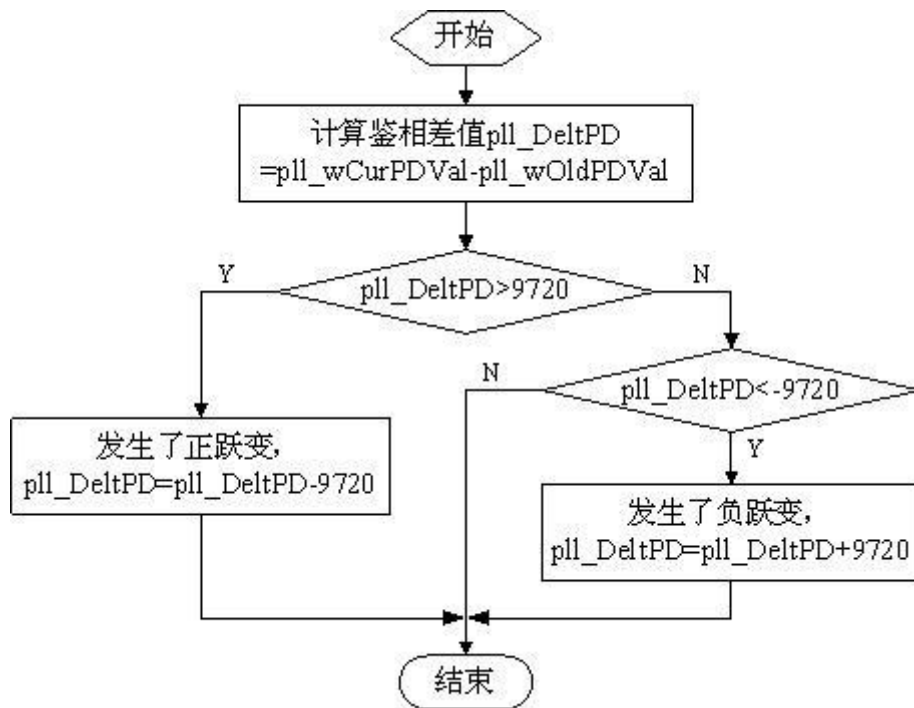


图 5-21 相位线性化处理流程

线性化处理后的鉴相差值  $pll\_DeltPD$  真实地反映了鉴相值的变化情况，是后续处理的重要依据。

#### 5.4.2.4 积分滤波算法

线性化处理后的鉴相值就进入到积分滤波环节进行积分滤波运算，这是一个关键环节，压控振荡器的控制值就是经过积分滤波运算得到的。

程序中定义了积分滤波算法所用用到的一些变量：

signed int	$pll\_CurVal$ ;	/*当前时刻与初始时刻鉴相差计数值，即鉴相差值累计和*/
float	$pll\_DT$ ;	/*积分时间，单位为秒*/
float	$pll\_CurSVal$ ;	/*鉴相差值与时间间隔的积分 $S0_n$ */
float	$pll\_DACVal$ ;	/*环路滤波器的输出电压控制值*/

关于积分时间，一般来说，积分时间选取锁相中断的间隔时间就可以；但是考虑到实际运行中，可能因为间隔时间经常取得较短，对于锁相环路进行捕捉和跟踪时偏离时的回拉速度较慢，因此，一般在进行控制和计算时，该积分时间常数都比锁相中断的间隔时间要大。在本设计中，锁相中断的间隔时间为10ms，但是在程序中选用的积分时间常数却分别为快捕时为35ms，慢捕和锁定跟踪状态下

时为20ms。这个时间可以就是数字滤波的采样间隔。

积分滤波运算主要有以下几个过程：

1. 如果是刚刚开始捕获或重新开始捕获，则初始化：

$$\text{pll\_CurVal} = 0; \text{pll\_CurSVal} = 0.0; \text{pll\_DACVal} = 0.0;$$

2. 计算鉴相差值累计和和当前时刻鉴相计数值：

前面已对鉴相值 $\text{pll\_DeltPD}$ 进行了计算和线性化处理，根据 $\text{pll\_DeltPD}$ 可以计算鉴相差值累计和和当前时刻鉴相计数值：

$$\text{pll\_CurVal} = \text{pll\_CurVal} + \text{pll\_DeltPD};$$

$$\text{pll\_wCurPDVal} = \text{pll\_wCurPDVal} + \text{pll\_DeltPD};$$

3. 积分运算：

根据式（5-13），我们需要对鉴相值进行积分运算，由于我们的设计是跟踪初始鉴相计数值 $\text{pll\_wStartPDVal}$ ，因此这里的积分是对当前时刻与初始时刻的鉴相差计数值 $\text{pll\_CurVal}$ 进行积分：

$$\text{pll\_CurSVal} = \text{pll\_CurSVal} + (\text{pll\_CurVal} - \text{pll\_DeltPD}/2.0) * \text{pll\_DT};$$

鉴相差值的积分值为当前时刻鉴相差值累计和、上一时刻鉴相差值累计和与积分时间围成的梯形面积的累加结果，而梯形的面积为整个长方形的面积减去上面三角形的面积，如图5-22所示，经过持续的积分则积分值为图中虚线与上面曲线所围成区域的面积。

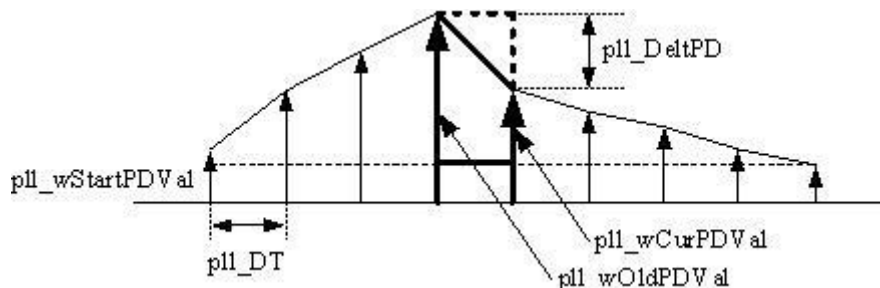


图 5-22 滤波算法积分示意图

每进行一次积分运算后，对当前的积分值  $\text{pll\_CurSVal}$  进行保存，以供下一次中断积分时继续使用。

4. 计算 DAC 的控制值：

$$\text{pll\_DACVal} = K_P * (\text{pll\_CurVal} + K_A * \text{pll\_CurSVal});$$

其中  $K_P$  为比例系数  $K_p$ ， $K_A$  为积分系数  $K_a$ ，计算的依据是式（5-13）。

经过上述几个过程，就完成了积分滤波运算，并计算出了 DAC 的控制值， $\text{pll\_DACVal}$ ，然后将  $\text{pll\_DACVal}$  写入到 D/A 转换器，启动 D/A 转换。D/A 转换器

将 DAC 控制值转换成模拟值来控制压控振荡器进行频率调整。

#### 5.4.2.5 锁相环状态切换处理

完成积分运算后，软件算法就会根据锁相环当前的工作状态判断是否进行锁相环状态切换处理。在程序的运行过程中，每隔一段时间，程序会执行一次锁相环状态切换处理，如果符合切换的条件，锁相环的状态就进行切换，否则，保持原来状态。

由于我们有三组锁相环路参数，分别为快捕、慢捕和锁定，因此我们设计中锁相环的状态也是这三种状态，状态切换也就是在这三者之间的切换。

程序中定义了一些锁相环状态切换处理的变量，作为各个状态之间的切换依据：

```
signed int      pll_siValPP;
unsigned short  pll_wSumAbsVal;
```

由于我们主要是跟踪初始相位差，所以锁相环的状态切换依据主要是来源于鉴相差计数值 `pll_DeltPD`，需要根据 `pll_DeltPD` 的变化进行判断。

$pll\_siValPP = pll\_siValPP + pll\_DeltPD$ ，为鉴相差值的累计和，这个值反映了当前时刻与初始时刻的鉴相值的差值，作为快捕到慢捕状态的切换依据；

$pll\_wSumAbsVal = pll\_wSumAbsVal + abs(pll\_siValPP)$ ，为鉴相差值累计和的绝对值的累计和，这个值反映了当前时刻与初始时刻的鉴相值的差值的累计和，作为慢捕到锁定状态的切换依据；

##### 1、快捕切换

在快捕状态时，我们希望能够尽可能快的捕获完成，判断是否进行状态切换的周期比较短，一般每 50 个中断周期就对 `pll_siValPP` 的绝对值进行一次判断，当这个值很小时，说明当前时刻的鉴相值接近了初始时刻鉴相值 `pll_wStartPDVal`，我们就认为可以进入慢捕状态了。根据实际调试的经验，我们取门限值为 21，相对于线性化处理的模值 9720，已经很小了。当连续三次判断 `pll_siValPP` 的绝对值都小于 21，程序就启动状态切换，切换到慢捕状态。

##### 2、慢捕切换

慢捕介于快捕和锁定之间，是对快捕状态的一种过渡。进入慢捕时，锁相环路已经基本进入锁定，就不需要进行频繁的状态切换判断，一般每 100 个中断周期对 `pll_wSumAbsVal` 进行一次判断，此时 `pll_wSumAbsVal` 相当于之前连续 100 个时刻与初始鉴相值的差值的绝对值的累计和。根据调试经验，这个门限值我们

取 101，如果连续两次判断  $pll\_wSumAbsVa$  都小于 101，程序就启动状态切换，切换到锁定状态。这就意味着判断条件为连续 100 个鉴相值与初始鉴相值差值的平均值小于 1.01，可见此时的鉴相值已与初始时刻鉴相值的差值基本接近 0，已进入锁定状态。

### 3、锁定切换

在正常锁定状态时，程序会在每个中断处理中判断锁相环是否失锁，有多种情况都可以认为是失锁：

- (1)、如果鉴相差计数值  $pll\_DeltPD$  连续 5 次超过 150，便认为是失锁；
- (2)、如果当前时刻与初始时刻的鉴相差值  $pll\_CurVal$  的绝对值大于 300，便认为是失锁；
- (3)、如果输入时钟源发生改变；

只要发生以上三种情况，程序会直接设置  $pll\_bStartFlag = 0$  重新捕获时钟源，此时，程序重新寻找初始相位，并切换锁相环状态为快捕状态。

锁相环三种状态切换的详细流程图如图 5-23 所示：

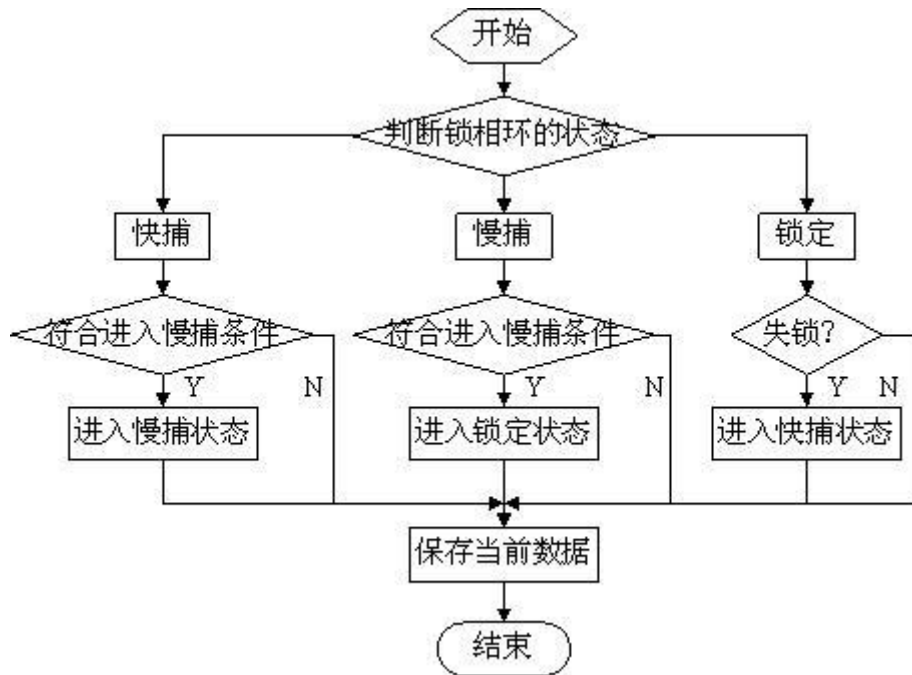


图 5-23 锁相环状态切换流程图

在从快捕到慢捕或从慢捕到锁定的状态切换时，主要是改变了环路参数  $K_p$  和  $K_a$ ，根据式 (5-13)，现重写如下：

$$V_{cl} = K_p \cdot (\theta_e + K_a \cdot S\theta_e)$$



$K_p$  和  $K_a$  的变化必然会引起控制电压  $V_{ctl}$  发生变化而引起相位跳动, 为了避免这种情况发生, 我们需要保持  $V_{ctl}$  不变, 对其做一些优化处理, 处理过程如下:

观察式 (5-13) 可知, 若从慢捕到锁定状态时, 当锁相环已处于锁定状态, 此时  $\theta_e$  为 0, 即当前时刻与初始时刻鉴相差值  $pll\_CurVal$  为 0, 则控制电压决定于  $S\theta_e$  和锁相环的控制参数  $K_p$  和  $K_a$ , 因此在进入锁定状态时, 为保持  $V_{ctl}$  不变, 就应对  $S\theta_e$  进行变换, 按下式进行:

$$S\theta_e = \frac{V_{ctl}}{K_p \cdot K_a} \quad (5-20)$$

即使是从快捕到慢捕的切换时, 由于  $\theta_e$  (即  $pll\_CurVal$ ) 已经非常小, 也可以按照式 (5-20) 来对  $S\theta_e$  进行处理。因此切换环路参数后, 会进行如下计算:

$pll\_CurSVal = pll\_DACVal / (KP * KA);$

其中  $KP$  为比例系数  $K_p$ ,  $KA$  为积分系数  $K_a$ 。

每进行一次状态切换判断和处理后, 相应数据应该清零处理, 为下一次状态切换做好准备; 并保存当前鉴相值作为上一时刻鉴相值, 为下一次计算 DAC 控制值做好准备:

$pll\_siValPP = 0;$

$pll\_wSumAbsVal = 0;$

$pll\_wOldPDVal = pll\_CurPDVal;$

#### 5.4.2.6 保持模式下 DAC 控制值的获取

根据前面介绍我们已经知道, 当锁相跟踪模块工作在保持模式时, 时钟板软件利用在跟踪模式下获取的保持模式下的输出电压控制值  $pll\_KeepDACVal$ , 直接来控制压控振荡器来跟踪时钟。

当锁相环处于锁定状态时, 每个 100 个中断中期程序会对当前时刻与初始时刻鉴相差值  $pll\_CurVal$  进行判断, 如果  $pll\_CurVal$  为 0, 表明相位已经完全锁定, 我们就记下此时的 DAC 控制值  $pll\_DACVal$  作为保持模式下的 DAC 控制值  $pll\_KeepDACVal$ 。只要锁相环处于锁定状态, 程序会一直进行判断并更新  $pll\_KeepDACVal$  的值, 以备一旦进入保持工作模式之用。

## 5.5 时钟板的实物图

我们设计的时钟板已经得到了实际应用, 如图 5-24 所示为包含了时钟功能的

实物单板：



图 5-24 单板实物照片

这个板子是中兴通讯公司 ZXSM S325 设备中 OCS4 单板，它包含了时钟板的功能，同时还包括光板和交叉板的功能，是 S325 设备中的核心单板。我们设计的锁相跟踪模块的方案已经在时钟板单元中得到应用。

## 5.6 本章小结

本章详细讲述了锁相跟踪模块的设计过程。主要包括三个部分，原理部分的设计、参数的获取以及软件处理的设计。

首先基于锁相环的基本原理，严格根据 SDH 网络同步对时钟的要求，本章设计了数字化的锁相环路的各个模块——由 FPGA 实现的数字鉴相器、CPU 软件实现的滤波算法和压控恒温晶体振荡器构成的锁相环。

然后，在参数设计阶段，为了提高锁相环路的特性，根据理论基础，结合 Matlab 的仿真分析以及 G. 813 规范的要求，我们设计了三种环路参数，分别对应于锁相环路的快捕、慢捕和锁定状态，以实现可变参数的锁相环。

最后，由于锁相环的软件处理是嵌入在时钟板的软件中，通过中断的形式来

## 第五章 锁相跟踪功能模块的详细设计及实现

实现的，因此在锁相环的软件处理设计阶段，本章进行了两部分设计：一是详细设计了 MPC852T 处理器的中断处理部分；二是详细设计了软件滤波算法的处理，这部分作为整个软件设计的核心，其中进行了一些为提高性能所做的相位线性化和防治相位跳动等优化处理，大大提高了锁相环路的特性。

## 第六章 锁相跟踪模块的测试

### 6.1 测试系统简介

中兴通讯公司 SDH 传输设备的测试是在公司自有网管平台——ZXONM E300 网管系统下测试的。ZXONM E300 网管系统是中兴通讯公司自主研发的专用于管理 SDH 传输设备的网管系统，它具备多种设备管理能力，是中兴通讯传输产品网元层统一的管理平台，具有强大的管理功能。由于 ZXONM E300 网管系统是中兴通讯公司 SDH 传输设备实际运行时的真实管理平台，因此公司研发的 SDH 传输设备都要在此平台上测试，测试通过方可交付用户使用。时钟板的测试也是在此平台上进行的。

ZXONM E300 网管系统的界面如下图 6-1 所示，图中长方形节点表示网元（SDH 设备），网元之间的连线表示光纤。

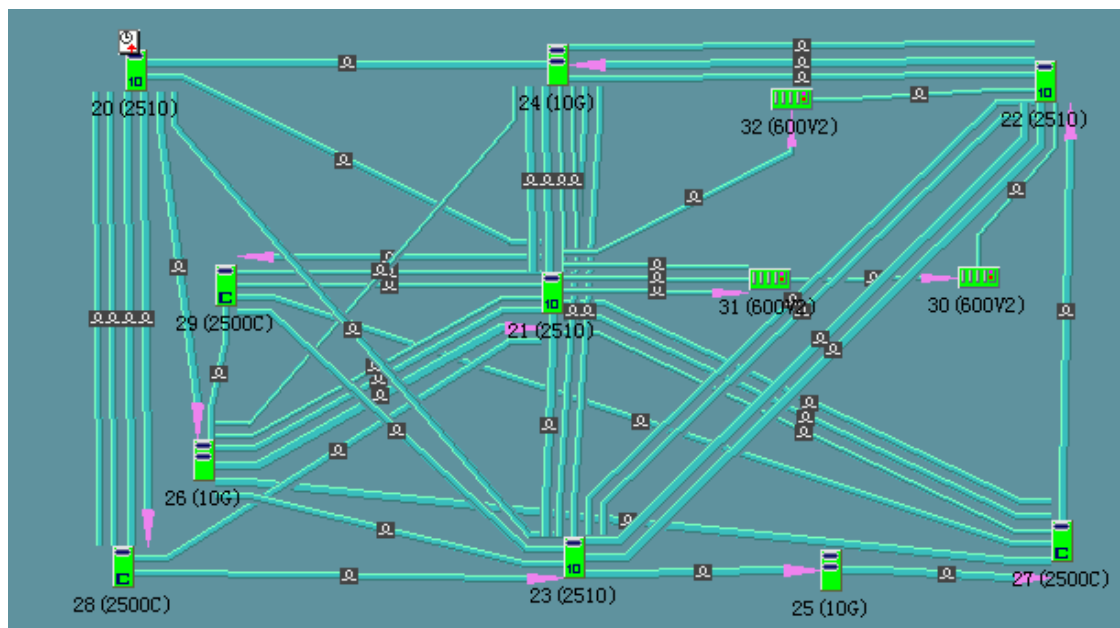


图 6-1 ZXONM E300 网管系统的界面

ZXONM E300 网管系统在层次上分为三层，由下至上分别为：设备层 MCU、网元层 Agent、网元/子网管理层 Manager。

设备层（MCU）对应于 SDH 设备的各个单板，负责监视各个单板的告警、性

能状况，控制单板实现特定的操作；设备层是 SDH 网络管理系统的实时处理中枢，有关 SDH 设备的各项功能最终都是由分布于各个单板的 MCU 完成的。

网元层(NE)在网管系统中称为 Agent，运行于 NCP 板上，执行对单个网元的管理职能，在网元上电初始化时对各单板进行配置处理，正常运行状态下负责监控整个网元的告警、性能状况，接受网元管理层（Manager）的监控命令并进行处理。

网元管理层的网元管理系统可以控制和协调一系列网元。网元管理层的核心是 Manager（或服务器 Server）。从图 6-1 中可以看出网管系统管理着许多 SDH 网元，这些网元就构成了 SDH 网络。

## 6.2 时钟板锁相跟踪模块的测试

### 6.2.1 测试参数配置

锁相跟踪模块的功能就是对输入的时钟源进行跟踪并锁定，因此测试时我们在网管平台上向时钟板下发配置时钟源命令，然后观测时钟板是否能够锁定，而且观察切换时钟源时，时钟板是否能够重新跟踪锁定。

在图 6-1 中的每个网元中都包含时钟板，时钟板可以从其他网元获取时钟或从本设备获取时钟。测试时，我们需要选择一个网元，然后配置所选网元的时钟源，时钟源的配置是在网管界面中“定时源配置”选项中完成的，如图 6-2 所示：

#### ● 定时源配置

只有经过配置的时钟源才能被设备选择为当前时钟源。对于每一个定时源，都包含一些属性，如时钟类型、优先级、单板位置、端口位置等是比较重要的属性：

时钟类型：定时源是下述的 4 种定时源类型中的一种：外时钟、线路抽时钟、内时钟、支路抽时钟。其中外时钟是指设备外部的晶振信号。线路抽时钟是指该时钟信号从 STM-N 信号中提取的时钟信号。内时钟是指来自设备时钟板本身的晶振信号。支路抽时钟是指从 PDH 信号中提取的时钟信号；

优先级：表明选择该时钟的先后程度，各个时钟源的优先级彼此不能相同；

单板：表明该定时源来所处于的单板。因为对于内时钟或者外时钟来说，不存在单板位置的问题，所以此属性仅仅对于线路抽时钟或者支路抽时钟有效；

自动 SSM：表明时钟源质量等级是依赖于指定的等级还是接收到的同步状态字节 S1；

质量等级：表明时钟信号的质量状况。如果选择了自动 SSM 的情况下，由于时钟源质量等级信息从 STM-N 信号的同步状态字节 S1 中提取，因此不能人工指定质量等级。对于需要人工指定质量等级的时钟源，需根据设备在网络中所处的层次选择适当的时钟源质量等级；

可以通过新建增加设备的定时源，则此定时源就成为时钟板选择的时钟源之一，选定时钟源列表框中的某一个时钟源，单击“修改”按钮或者“删除”按钮，可以修改定时源属性或者删除该时钟源，时钟板从所选时钟源中选择最高质量的时钟源。

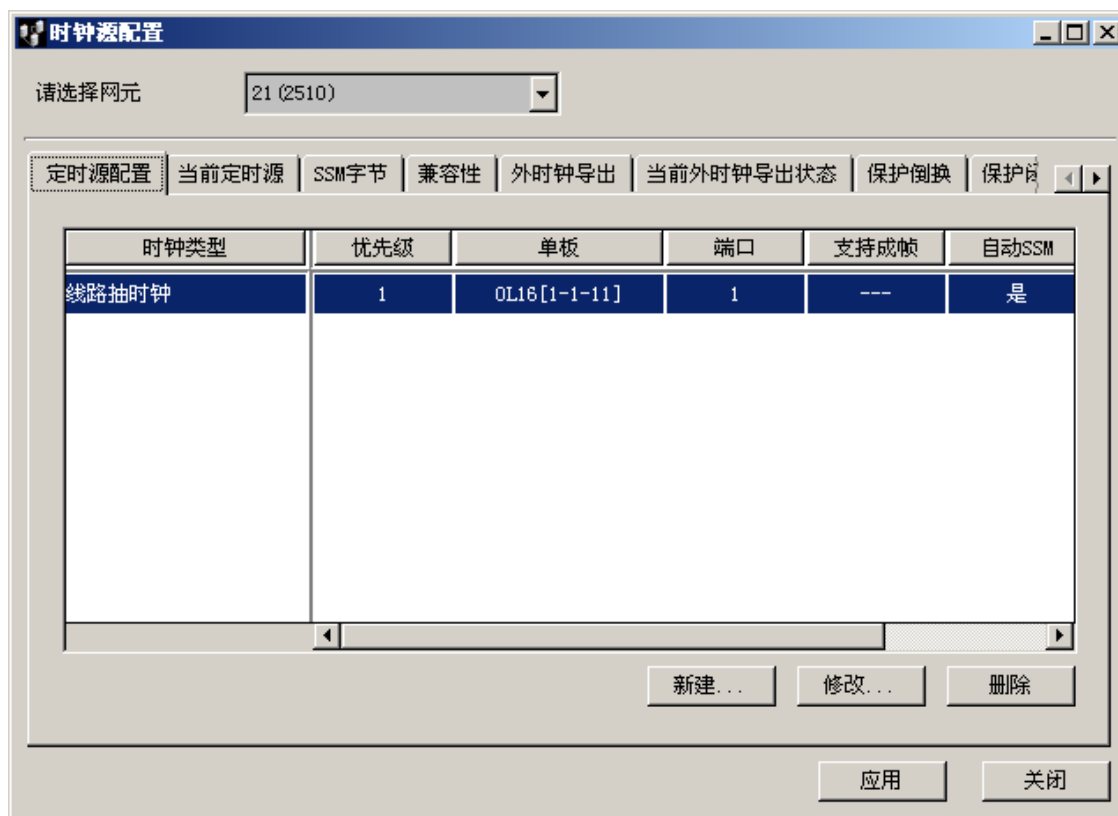


图 6-2 定时源配置

配置好定时源后，时钟板的基准源选择功能模块会从中选择出最优时钟源，而锁相跟踪模块会锁定并跟踪所选择的时钟源。我们在网管界面中“当前时钟源”选项中观察锁相跟踪模块的捕获和跟踪性能，如图 6-3 所示：

- 当前时钟源

当前定时源中包括锁相跟踪模块所跟踪的时钟源的一些属性，这些属性表明

了所选时钟源的状态，包括锁定跟踪情况：

时钟板：表明是设备上的哪一块时钟板。在设备上存在主用时钟板和备用时钟板，当前时钟源的时钟板属性表明属于哪一个时钟板；

时钟类型：时钟类型是下述 4 种类型中的一种，外时钟、线路抽时钟、内时钟、支路抽时钟；

锁定状态：有四种选择方式，快捕、慢捕、锁定或者失锁。反映当前时刻时钟板对于时钟信号的跟踪情况，正常工作条件下，状态应当是锁定，只有锁定的状态才是稳定可靠的状态；

选择方式：决定如何根据各配置时钟源的 SSM 选择当前时钟源的方式，有根据 SSM 自动进行选择或者依据优先级自动进行选择两种方式；

保护倒换状态：当某个时钟源的质量等级，优先级改变或者因为其他原因需要重新选择当前时钟源时时钟源倒换的规则，有自动切换，强制切换和人工切换三种方式，不同的切换方式影响选择当前时钟源具体的选择方式；



图 6-3 当前定时源

## 6.2.2 测试内容

- 测试系统时钟与选择的时钟源之间同步

1、在选择系统时钟源后，通过写硬件寄存器，保证锁相环算法跟踪的时钟源为系统时钟源；

2、切换定时源，检测锁相过程的状态和时间是否正常。

测试结果：从切换时钟源开始到时钟源重新锁定，环路经过了快捕，慢捕最终达到锁定，大概经历了 10-11s，如图 6-3 所示锁定状态最终为锁定，满足要求。

- 测试不同类型时钟源的锁定

在网管设置类型为内时钟、外时钟、线路时钟、支路时钟的时钟源，设置下发命令。

测试结果：从下发命令后环路也经过 10-11s 后达到锁定，如图 6-3 所示锁定状态最终为锁定，满足要求。

- 测试系统时钟源选择功能

在网管上设置使用 SSM 功能或不使用 SSM 功能，下发命令。

测试结果：从下发命令后环路也经过 10-11s 后达到锁定，如图 6-3 所示锁定状态最终为锁定，满足要求。

## 6.2.3 测试中需要注意的问题

测试中为了模拟实际组网情况的复杂性，需要用多个网元，如图 6-1 所示，网络中有多个网元组成复杂网络，然后网元之间相互抽取时钟，即某一网元从其他网元接收时钟。在第二章介绍 SDH 技术基本原理时，我们已经知道 SDH 网络采用的是主从同步方式来同步时钟，时钟是有等级之分的，因此我们在组网配置时钟时，一定要注意不能让时钟成环，如图 6-4 所示，NE 表示网元：

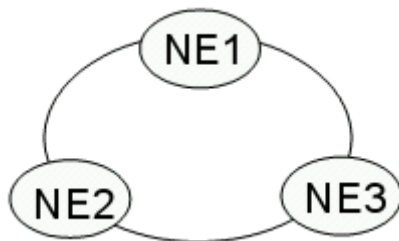


图 6-4 时钟成环的情况

若 NE2 跟踪 NE1 的时钟，NE3 跟踪 NE2，NE1 跟踪 NE3 的时钟，这时同步时钟的传送链路组成了一个环路，这时若某一网元时钟劣化，就会使整个环路上



网元的同步性能连锁性地劣化。

为了避免上述情况的发生，在配置时可以采用二叉树的方法进行配置，先画好时钟跟踪图（用二叉树的方式），如图 6-5 所示，如果 A 为内时钟，B 抽 A 的，D 抽 B 的，依次类推，这样可以避免抽时钟成环的情况。

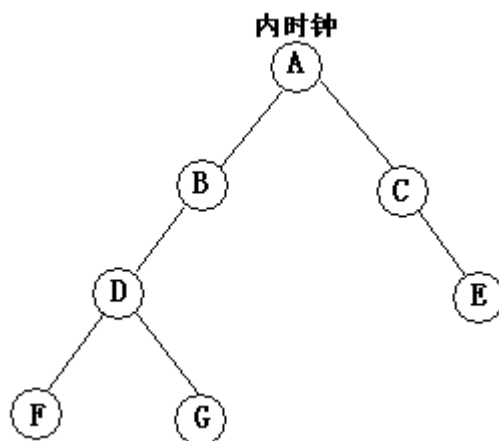


图 6-5 避免时钟成环的时钟配置方法

### 6.3 测试结论

通过对时钟板锁相跟踪模块进行测试，结果表明我们设计的锁相跟踪模块能够很快地达到锁定，而且锁定后长时间的观察测试，时钟板一直处于锁定状态，可见锁相跟踪模块的稳定性比较好。

## 第七章 结论

锁相技术是一项应用比较广泛的技术，虽然已经应用多年，但是根据不同的需求有着不同的应用方式，因此设计性能良好的锁相环并不容易。

本文设计的锁相环是应用在 SDH 网络的同步之中，SDH 网络采用主从同步方式，网络中的设备最终跟踪锁定最高主时钟 RPC，而且要求时钟有多种工作模式，满足网络出现异常时也能暂时工作，以提高网络的稳定性。由于 SDH 网络这些固有的特性，它对同步的要求比较高，一般的模拟锁相环路不能满足要求。

因此，本文在研究和分析锁相环路特性的基础上设计了适合 SDH 网络的、满足 G.813 规范的数字锁相环路，环路的各个部分为：由 FPGA 构成数字鉴相器、由 CPU 软件控制低通滤波算法和压控恒温晶体振荡器。

为了使锁相环能够快速准确地锁定基准时钟源，我们为环路设置了三组参数，分别对应于环路的快捕、慢捕和锁定工作状态。根据不同的工作情况切换到不同的参数，大大提高了锁相环路的捕获和跟踪性能。

本设计的最大特点是由软件来自动控制锁相环的工作状态，自动根据环路运行状态选择环路参数，自动根据时钟源的优劣情况切换到不同的工作模式：当同步网中的基准时钟工作正常时，通过锁相环软件算法控制环路从捕获到锁定最终同步于基准时钟；当设备中的基准时钟失效，或者时钟传送链路失效时，通过软件保存失效之前的频率信息作为其输入基准而工作，仍然在相当长的时间内保持网络同步，以挽回解决故障的时间；即便是最糟糕的情况下，输入基准时钟也丢失了，但是锁相环还有自己的压控振荡器还可以工作在自由振荡模式。可见本设计实现了 SDH 网络同步的智能化，是一种比较好的方案。

这种设计已经在中兴通讯公司的传输设备中得到实际应用，性能稳定，一致性好，可移植性强，调试简单；在参数改变时，只需要下载不同的软件就可以完成改变，而且还可以作为模块被其他数字通信领域的具体应用引入，可以大大缩减开发时间。

致 谢

## 致 谢

本论文是在我的导师电子科技大学唐普英副教授的耐心指导下完成的。他渊博的学识、严谨的治学态度、精益求精的工作作风和诲人不倦的为师风范，让我受益匪浅，正是在唐老师的谆谆教导下，我才克服了众多困难，最终较为顺利地完成了毕业论文。在此谨向唐老师表示衷心的感谢和真诚的敬意。

感谢中兴通讯公司本部事业部的张宏涛部长和罗亚军科长，是他们给我提供了在中兴通讯实习的机会，而且由于他们的关照使我的实习生活变得更有意义。

感谢谈理、何力等所有一起工作过的同事，在课题的学习、研究以及毕业论文的写作过程中他们都给了我很大的帮助和启发。

感谢陈凯、王昭、杨佑峰、陈敏敏、杨汝燕以及其他 2004 级硕士研究生同学，在研究生期间他们在学习和生活上给予我了许多帮助和支持。

感谢袁磊、杜昊、冯林、赵凯生等大学同学，在研究生学习期间他们仍然是我学习和生活上挚友，使我的研究生生活变的更加丰富多彩。

衷心感谢我的父母，他们对我多年来的关心与支持使我得以顺利地完成了学业，也是我前进的动力。

最后，向所有帮助我的人表示衷心的感谢，并诚挚地感谢为评阅本论文而付出辛勤劳动的各位专家和学者！

## 参考文献

- [1] 韦乐平.《光同步数字传送网》.北京:人民邮电出版社,1998
- [2] 张厥盛,郑继禹,万心平.《锁相技术》.西安:西安电子科技大学出版社,1994
- [3] 中国移动通信集团公司.《移动同步网技术体制》,2000
- [4] ITU-T,G.783,Characteristics of synchronous digital hierarchy (SDH) equipment functional blocks.1997
- [5] 马艳丽.时钟板架构.中兴通讯内部资料
- [6] 马志明.二阶锁相环设计中环路参数的选择.火控雷达技术,1997,12:16-20
- [7] 张继勇,王爱国.SEC 中的全数字锁相环的分析及设计.光通信研究,2006,6:22-23
- [8] ITU-T,G.813,Timing characteristics of SDH equipment slave clocks (SEC).1996
- [9] 潘申富,王立功.全数字时钟锁相环的设计.无线电通信技术,2002,28(4):49-50
- [10] 史国炜,王治,王峰.一种 SDH 光纤传输系统设备时钟的研究与实现.航空计测技术,2000,20(5):8-10
- [11] 徐大明.软件锁相环在同步数字体系中的应用.舰船电子工程,1999,5:51-53
- [12] MPC852T Hardware Specification.Motorola,2003
- [13] MPC860 PowerQUICC Training CDRom
- [14] 王明飞,张效义,李欧等.VxWorks 下 MPC860 的中断处理机制及其应用.微计算机信息,2005,21(3):1-2
- [15] MPC866 PowerQUICC(TM) Family User's Manua.Motorola,2003
- [16] 王韬,杨士中,谭晓衡.基于 MPC860 和 VxWorks 的嵌入式中断处理设计.电讯技术,2005,1:45-50
- [17] 刘峥嵘,桑楠,熊光泽.MPC860 的中断处理技术研究.单片机与嵌入式系统应用,2004,12:21-24
- [18] pS0System Advanced Topics, Diab Data/SDS Release PowerPC Processors,1999
- [19] 雷剑虹,何赵钢.一种高性能时钟同步系统数字锁相环的实现方法.现代电信科技,2000,7:39-41
- [20] 史国炜,王峰,陈明等.一种用于 SDH 光纤传输系统设备时钟的数字式锁相环.电子技术应用,2000,10:70-72
- [21] MPC860 PowerQICC user's Manual.Motorola,1998

#### 参考文献

- [22] 张玉梅, 杨玉珍. 数字锁相环在低频相位同步控制中的应用. 仪表仪器学报, 2004, 8:896-898
- [23] Y.R.Shayan,T.Le-Ngoc.All digital phase-locked loop :concepts,design and applications.IEE PROCEEDINGS,1998,136(1),53-56
- [24] William H. Tranter, K. Sam Shanmugan, Theodore S. Rappaport,et al. Principles of communication Systems Simulation with Wireless Applications.2003,201-242
- [25] 刘玉珍, 刘建辉, 陶志勇等. 基于 SIMULINK 锁相环设计. 辽宁工程技术大学学报, 2004, 23(2):236-237
- [26] 姜占才. 二阶锁相环非线性捕获和非线性跟踪性能研究. 电子科技, 2004, 3:31-34
- [27] 单长虹, 孟宪元. 嵌入式数字锁相环的设计与实现. 计算机仿真, 2003, 20(6):93-95
- [28] 黄敏. 位同步数字锁相环的原理与应用. 地震地磁观测与研究, 2001, 22(3):36-38
- [29] 将林, 章倩苓, 谢晓燕. 时钟提取与抖动衰减数字锁相环设计研究. 光通信研究, 2003, 5:46-49
- [30] 单长虹, 邓国扬. 一种新型快速全数字锁相环的研究. 系统仿真学报, 2003, 15(4):581-583

## 在学期间的研究成果

- [1] 郝培育, 唐普英. 锁相环在 SDH 网络中的应用. 电子工程师, 2007, 33 (3) :18-20

# SDH传输设备时钟板中锁相跟踪功能的设计与实现

作者: [郝培育](#)  
学位授予单位: [电子科技大学](#)

本文链接: [http://d.g.wanfangdata.com.cn/Thesis\\_D309307.aspx](http://d.g.wanfangdata.com.cn/Thesis_D309307.aspx)